

---

## НОВЫЕ РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ И ЭЛЕМЕНТЫ

---

УДК 621.3.049.774.2

# ОПЫТ ПРОЕКТИРОВАНИЯ МУЛЬТИСКОРОСТНОГО ПРИЕМОПЕРЕДАТЧИКА, ИЗГОТОВЛЕННОГО ПО КМОП ТЕХНОЛОГИИ 90 нм И ПРЕДНАЗНАЧЕННОГО ДЛЯ РАБОТЫ В ПОСЛЕДОВАТЕЛЬНОМ КАНАЛЕ SPACEFIBRE

© 2021 г. Д. А. Доможаков\*

*Национальный исследовательский ядерный университет “МИФИ”,  
Каширское шоссе, 31, Москва, 115409 Российская Федерация*

*\*E-mail: dadomozhakov@mephi.ru*

Поступила в редакцию 28.01.2021 г.

После доработки 25.02.2021 г.

Принята к публикации 28.02.2021 г.

Систематизированы архитектурные и схемотехнические решения, применимые при проектировании цифровых частей мультискоростных приемопередатчиков последовательных каналов. Обоснованы такие варианты решений, которые позволяют максимально использовать возможности доступной технологии для расширения этого диапазона, особенно в его высокочастотной части. С использованием предложенных решений спроектирован по КМОП-технологии 90 нм мультискоростной приемопередатчик последовательного канала SpaceFibre. Изготовленный приемопередатчик работает в диапазоне битовых скоростей от 5 Мбит/с до 3.125 Гбит/с и по совокупности измеренных параметров не уступает ближайшим зарубежным аналогам.

DOI: 10.31857/S0033849421080039

## ВВЕДЕНИЕ

Развитие бортовых сетей передачи данных и соответствующих стандартов портов SpaceFibre, SpaceWire/GigaSpaceWire [1, 2] в сторону увеличения битовых скоростей передачи делает актуальной задачу разработки сложно-функциональных (СФ) блоков высокоскоростных и более востребованных на практике мультискоростных приемопередатчиков последовательных каналов (МСПП). Под мультискоростными понимаются приемопередатчики со скоростью передачи, перестраиваемой в диапазоне двух или более декад от высоких до ультравысоких значений, если провести аналогию с диапазонами частот, которые указаны в регламенте Международного союза электросвязи [3]. Под это определение не попадают так называемые мультипротокольные приемопередатчики, выпускаемые фирмами Maxim Integrated и Texas Instruments, так как первые работают в диапазоне, включающим средние скорости (частоты), а вторые — в пределах одной декады ультравысоких скоростей (частот). Постановка задачи проектирования МСПП, заведомо более сложной, чем проектирование относительно “узкодиапазонных” или относительно низкоскоростных приемопередатчиков, вызвана необходимостью покрытия потребностей в наиболее актуальных отечествен-

ных приложениях, связанных с высокоскоростной передачей данных.

Для достижения повышенных битовых скоростей передачи необходимо в первую очередь повысить быстродействие критичных блоков в составе МСПП. К критичным блокам можно отнести блоки, функционирующие на частотах, равных или кратных скорости транслируемого битового потока данных. Накопленный опыт проектирования показывает, что для стандартной объемной КМОП технологии уровня 180...90 нм физические ограничения быстродействия блоков становятся существенными на скоростях передачи данных 2...3 Гбит/с и выше. В данной работе представлены и обоснованы особенности архитектурных и схемотехнических решений для приемопередатчиков подобного рода и назначения на примере МСПП, изготовленного по объемной КМОП технологии 90 нм и работающего в диапазоне битовых скоростей от 5 Мбит/с до 3.125 Гбит/с. Особое внимание уделено контролю в процессе проектирования частоты возникновения битовых ошибок (в англоязычной литературе Bit Error Rate, или BER).

Цифровые части СФ-блоков МСПП включают в себя конвейер данных, который подразделяется на две подсистемы: конвейер кодовых групп, образованных параллельными 10-разрядными дан-

ными, и конвейер битов в составе последовательных данных. К групповым операциям относятся, например, поиск служебных символов, выравнивание кодовых групп и низкоуровневое тестирование. Последовательные операции выполняют функцию сериализации и десериализации последовательного потока данных.

Одной из основных количественных характеристик высокоскоростных приемопередатчиков является частота возникновения битовых ошибок [4]. Причинами повышения BER МСПП могут быть проблемы, связанные со сложностью программирования битовых скоростей на высокой частоте, с технологическими ограничениями быстродействия библиотечных компонентов, а также с неоптимальными архитектурными и схемотехническими решениями устройства блоков. Для обеспечения надежной работы МСПП необходимо решение каждой из перечисленных проблем. В случае отсутствия функциональных ошибок работы величина BER зависит от джиттера транслируемого потока данных.

## 1. ПРОБЛЕМЫ БЫСТРОДЕЙСТВИЯ СФ-БЛОКОВ МСПП И СПОСОБЫ ИХ РЕШЕНИЯ

### *1.1. Архитектурные особенности ранее разработанных МСПП*

В работе [5] рассмотрены следующие архитектурные и схемотехнические особенности ранее разработанных приемопередатчиков, критичные с точки зрения их влияния на показатель BER в гигабитном диапазоне скоростей передаваемых данных.

— Сложная структура цифровой части устройства фазовой автоподстройки частоты (ФАПЧ). Работа в широком диапазоне битовых скоростей приводит к необходимости использования частотно-перестраиваемых ФАПЧ. В режиме работы на максимальной частоте повышается сложность фазовой синхронизации тактового дерева в конвейере данных как передатчика, так и приемника.

— Отсутствие специальных мер защиты цепей питания ФАПЧ от шумового воздействия схем цифрового ядра СФ-блока. По причине отсутствия изолированного питания смешанных аналого-цифровых блоков ФАПЧ растет джиттер тактовых сигналов.

— Архитектура СФ-блоков предполагает наличие сложной программируемой схемы коммутаций высокочастотных цепей данных и битовой синхронизации, перестраиваемой в соответствии с заданной скоростью передачи. Использование элементов стандартных библиотек в процессе цифрового синтеза блоков битовых операций не обеспечивает достижение предельного для данной технологии быстродействия и может приве-

сти к фазовой рассинхронизации высокочастотных сигналов.

— Степень конвейера, выполняющая функцию сериализации или десериализации, также является критичным фрагментом СФ-блока по быстродействию. Фазовое соответствие высокочастотной битовой и групповой синхронизации трудно достижимо в диапазоне рабочих условий эксплуатации микросхемы при наличии сложных программируемых коммутаций битовых и групповых цепей.

Перечисленные проблемы относятся к критичным блокам в составе цифровых частей проектируемых МСПП в предположении, что аналоговые (интерфейсные) части имеют достаточный запас по быстродействию. При реализованной в данном проекте методике восходящего проектирования (от частного к общему) разработка аналоговых частей — отдельная и успешно решенная в итоге задача, если судить по приведенным в п. 9 данной статьи результатам измерений опытного образца МСПП. Автор участвовал в разработке аналоговых частей приемопередатчиков, причем накопленный при этом опыт обобщен в статье [6].

Отмеченные проблемы с быстродействием СФ-блоков МСПП приводят к увеличению трудоемкости их проектирования, появлению необходимости в дополнительном контроле фазовых соотношений между высокочастотными сигналами в критичных блоках. Приведенные далее архитектурные и схемотехнические решения позволяют упростить процесс проектирования и увеличить быстродействие критичных блоков МСПП.

### *1.2. Программирование битовой скорости*

Программирование скорости передачи в широких пределах в области битовых операций ведет к снижению запаса по быстродействию вследствие необходимости построения сложных схем синхронизации цепей передачи данных и тактовых сигналов. Программирование битовой скорости в области групповых операций позволяет снизить требования по быстродействию за счет некритичного увеличения занимаемой площади (рис. 1).

Например, 2-битовый отрезок “12” на скорости 1.25 Гбит/с представляется кодовой группой “1122” на скорости 2.5 Гбит/с ( $2.5/1.25 = 2$ ), что соответствует одному и тому же сигналу во временных координатах. В результате форматирования данных все скорости программируемой сетки неразличимы в работе скоростных участков конвейера битов. Работа конвейера данных приемника состоит в проведении обратной операции и основана на таком же принципе. Высокочастотные узлы всегда функционируют на максимальной битовой скорости. Функции поиска служебных

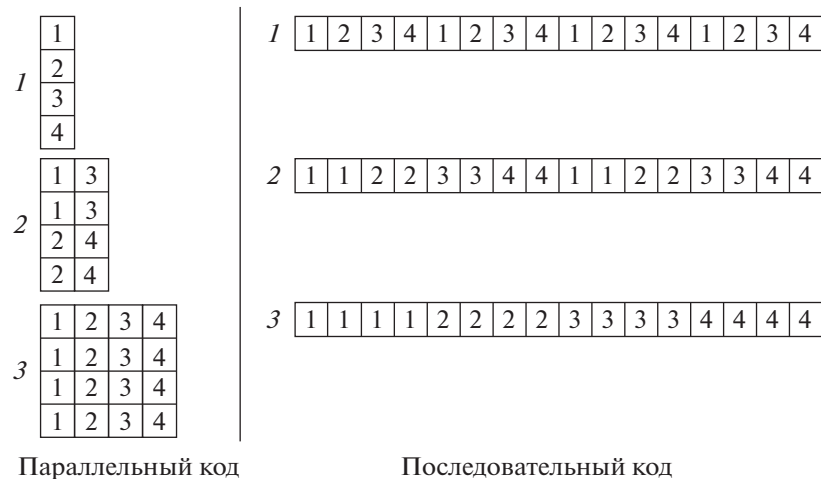


Рис. 1. Принцип форматирования данных на верхнюю битовую скорость: 2.5 (1), 1.25 (2), 0.625 Гбит/с (3).

символов и выравнивание кодовых групп реализованы в низкочастотной части конвейера, после обратного форматирования битовой скорости.

### 1.3. Выбор разрядности шины тактовых сигналов битовых операций

В передатчике группы форматированных данных поступают на вход сдвигового регистра. Принцип первичной сериализации данных сдвиговым регистром передатчика представлен на рис. 2. Сдвиговый регистр выполняет функцию первичной свертки данных перед выходным мультиплексором. В сдвиговом регистре приемника частично развернутые демultipлексором данные преобразуются в группы принятых бит. Сдвиговый регистр можно считать блоком как битовых операций (параллельная загрузка в передатчике и выгрузка данных в приемнике), так и групповых операций сдвига параллельных потоков бит.

Параллельный поток данных Data\_In разрядностью  $N$  поступает на вход сдвигового регистра. Параллельная запись происходит по разрешающему сигналу Load. Разрядность  $k$  тактовых сигналов CLK и сигналов Load зависит от числа параллельных потоков частично сериализованных данных Stream и разрядности выходного мультиплексора передатчика. Когда Load[ $i$ ] не активен, на каждом такте CLK[ $i$ ] происходит сдвиг Stream[ $i$ ].

Разрядность шины тактовых сигналов оказывает влияние на работу цифрового блока. Так, увеличение разрядности приводит к следующему:

- снижению частоты работы сдвигового регистра;
- увеличению максимально допустимого уровня джиттера на входе мультиплексора передатчика и сдвигового регистра приемника;

- снижению требований по быстродействию для блока генерации сигналов Load — сигналов параллельной загрузки передаваемых данных в сдвиговый регистр передатчика.

Вместе с тем увеличение разрядности приводит также:

- к усложнению стабилизации взаимных фаз между элементами шины тактовых сигналов;
- повышению требований по быстродействию для многофазного генератора, управляемого напряжением (ГУН), в составе ФАПЧ (PLL).

Таким образом, при выборе разрядности шины тактовых сигналов необходимо достижение компромисса. Далее в подразделе 1.5 показано, что мультиплексор 4 в 1, выполненный на  $p$ -канальных транзисторах, является предпочтительным вариантом в указанном смысле. В цифровой части передатчика и приемника блоки битовых

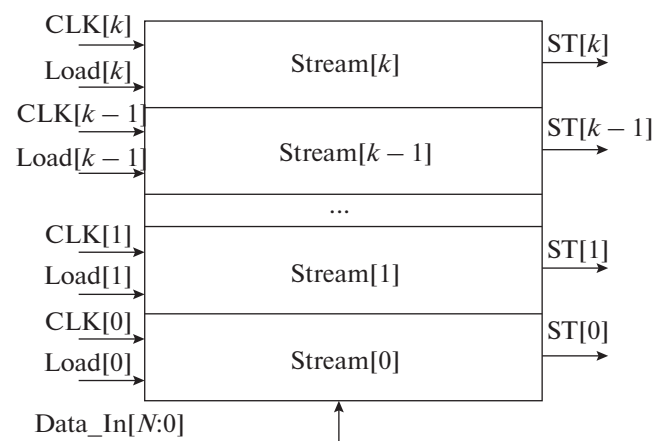


Рис. 2. Принцип первичной сериализации данных в сдвиговом регистре передатчика.

Таблица 1. Сравнение разработанных мультиплексоров

| Тип         | Экономичность потребления | Наличие трансляторов уровней | Максимально допустимый джиттер на входе, UI |
|-------------|---------------------------|------------------------------|---------------------------------------------|
| КМОП 2 в 1  | +                         | На выходе                    | 2                                           |
| CML 4 в 1   | —                         | На входе                     | 4                                           |
| Ключи 5 в 1 | +                         | Нет                          | 5                                           |
| Ключи 4 в 1 | +                         | Нет                          | 4                                           |

операций (мультиплексор, сдвиговые регистры и сдвигатель фаз) также предлагается тактировать шиной из четырех тактовых сигналов как наиболее оптимальной.

#### *1.4. Применение фазового сдвига промежуточного потока данных для снижения требований по быстродействию для блоков цифровой части передатчика*

В предыдущем подразделе определено назначение сигналов Load цифровой части передатчика. Функция генерации сигналов CLK и Load возлагается на делитель тактовой частоты ГУН ФАПЧ. Применительно к МСПП, работающим на предельных скоростях для конкретной технологической платформы, существует проблема генерации многофазного потока Load. Это связано с тем, что частота переключения делителя и сдвигового регистра соответствует максимальной предусмотренной битовой скорости. Сигнал Load[k] имеет длительность, равную одному полупериоду CLK[k], и формируется с использованием схем комбинационной логики, что не приводит к трудностям контроля запасов быстродействия. Однако формирование остальных сигналов Load[k – 1:0] сопряжено с перезащелкиванием Load[k] тактовыми сигналами CLK[k – 1:0], что приводит к нарушению требований по минимальным временам Setup и Hold для используемых триггеров. Это зачастую приводит к невозможности применения стандартного маршрута синтеза цифровых блоков.

Данная проблема может быть решена путем применения блока фазового сдвига после сдвигового регистра. В таком случае параллельная загрузка и сам сдвиг в сдвиговом регистре производятся только по одной фазе сигналов Load[k] и CLK[k]. Частично сериализованные сигналы Stream[k:0] попадают на вход сдвигателя фаз, где формируется поток Stream\_shifted[k:0], и каждый элемент Stream\_shifted[i] тактируется своим сигналом CLK[i]. Принцип фазового сдвига состоит в перезащелкивании потока данных тактовым сигналом, фаза которого запаздывает относительно предыдущего на 0.75 от периода. Такая схема сдвига позволяет удовлетворить требованиям по минимальным временам Setup и Hold.

#### *1.5. Анализ вариантов реализации выходного мультиплексора передатчика*

Выходной мультиплексор передатчика является одним из наиболее важных блоков, так как он является последней ступенью свертки передаваемого потока данных. Такая свертка является битовой операцией.

Были проанализированы следующие варианты реализации выходного мультиплексора передатчика: КМОП-мультиплексор, состоящий из элементов стандартной цифровой библиотеки; мультиплексор, выполненный в CML-базисе; мультиплексор, построенный на транзисторных ключах. Каждый вариант реализации выходного мультиплексора передатчика пригоден для определенного диапазона битовых скоростей.

Мультиплексор, синтезированный с использованием стандартной КМОП-библиотеки, пригоден для приемопередатчиков, работающих на относительно низких битовых скоростях. Если периферийный драйвер передатчика содержит CML-каскады, то на стыке внутренней и периферийной частей передатчика необходим транслятор уровней КМОП-CML, который является дополнительным источником детерминированного джиттера.

Проблему трансляции уровней способен решить мультиплексор в базисе CML, но он имеет высокий уровень потребления. При высоком быстродействии CML-мультиплексора тем не менее сохраняется необходимость контроля допустимого уровня джиттера сигналов на его входе, если мультиплексор работает вблизи верхней границы рабочего диапазона скоростей.

Также были разработаны и применены на практике два мультиплексора (5 в 1 и 4 в 1), состоящие из  $p$ -канальных ключей. Ключи, построенные на  $p$ -канальных транзисторах, не требуют транслятора уровней на входе. Их выходные сигналы имеют приближенные к CML уровни, что исключает необходимость встраивания транслятора уровней на входе драйвера передатчика. Использование  $p$ -канальных мультиплексоров облегчает контроль джиттера сигналов на входе. Однако появляется необходимость контроля джиттера большего числа тактовых сигналов (пять и четыре сигнала в данном случае). В табл. 1 приведены

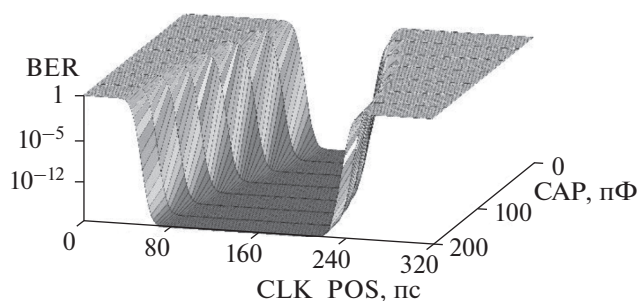


Рис. 3. Трехмерное представление U-образной кривой в зависимости от демпфирующей емкости стабилизаторов напряжения передатчика CAP и положения тактового сигнала внутри бита данных CLK\_POS.

сравнительные данные разработанных мультиплексоров по основным показателям.

В целом мультиплексор 4 в 1 на основе ключей является компромиссным и универсальным решением для широкого диапазона битовых скоростей. Применение принципа сериализации 4 в 1 (Quarter Rate) довольно распространено (см. [7]).

#### 1.6. Оптимизация стабилизатора питающего напряжения

Синхронное переключение блоков в составе конвейера данных вызывает паразитные пульсации напряжения в цепях питания и общего вывода ("земли"), что приводит к увеличению джиттера сигналов тактового дерева. С целью исключения данного эффекта домены питания разделены на цифровое и аналоговое. Аналоговые блоки, такие как ФАПЧ, получают питание от понижающих стабилизаторов напряжения. По результатам проектирования МСПП, описанным в работе [8], выбран оптимальный номинал демпфирующей емкости стабилизатора. На рис. 3 приведено трехмерное представление U-образной кривой, описывающей параметрическую зависимость частоты ошибок от демпфирующей емкости стабилизаторов напряжения передатчика.

В соответствии с полученной зависимостью был выбран номинал конденсатора, равный 100 пФ, как компромиссный с точки зрения величины джиттера данных и занимаемой площади. На рис. 4 изображена топология разработанного стабилизатора питания. Большую часть площади занимает демпфирующий конденсатор.

#### 1.7. Программирование тока зарядно-разрядного блока восстановления тактовых сигналов и данных

Блоки восстановления тактовых сигналов и данных (ВТСД), основанные на архитектуре ФАПЧ, имеют в своем составе контур обратной связи по фазе. В контур входят ГУН, зарядно-разрядный блок, фильтр нижней частоты и фазовый детектор. Качество подстройки и устойчивость к джиттеру данных зависят от соотношения параметров контура. При изменении напряжения питания, рабочей температуры или под воздействием технологического разброса значения этих параметров подвержены дрейфу.

В проекте SpaceFibre по технологии 90 нм было принято решение использовать зарядно-разрядный блок с программируемым током (1.5, 3.0 и 4.5 мкА) с целью компенсации дрейфа параметров контура. На рис. 5 представлена схема используемого зарядно-разрядного блока с настройкой выходного тока.

## 2. РАЗРАБОТАННЫЙ МСПП

Разработанный МСПП представляет собой приемопередатчик последовательных каналов, спроектированный и изготовленный с использованием объемной КМОП-технологии 90 нм. Поддерживаются битовые скорости в двух диапазонах:

1) низкочастотный (НЧ): 5...200 Мбит/с с шагом 5 Мбит/с.

2) высокочастотный (ВЧ): 1250, 1562.5, 2500 и 3125 Мбит/с.

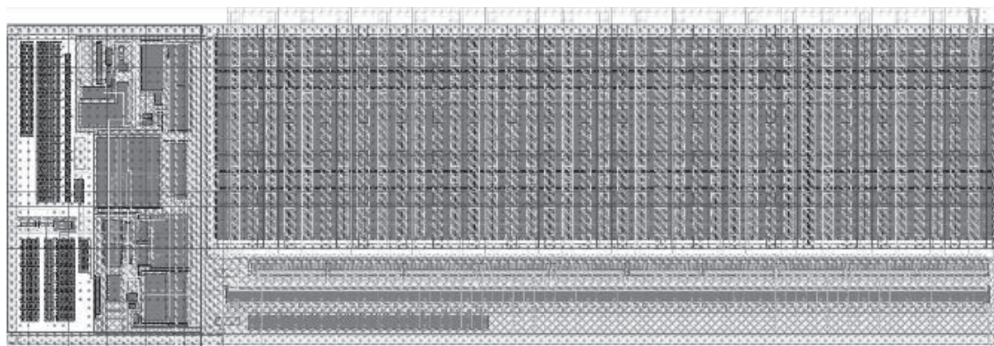


Рис. 4. Вид разработанного стабилизатора питания.

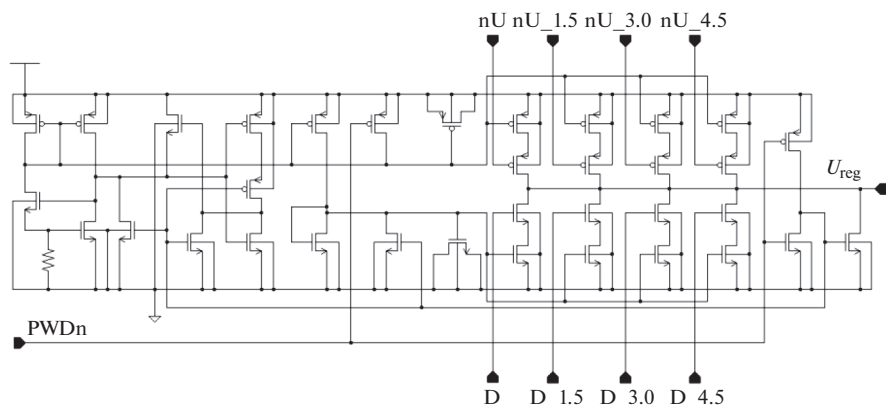


**Рис. 5.** Схема зарядно-разрядного блока с настройкой выходного тока: PWDn — сигнал включения режима пониженного потребления, nU\* и D\* — сигналы управления током заряда и разряда емкости фильтра ВТСД,  $U_{reg}$  — напряжение на конденсаторе фильтра.

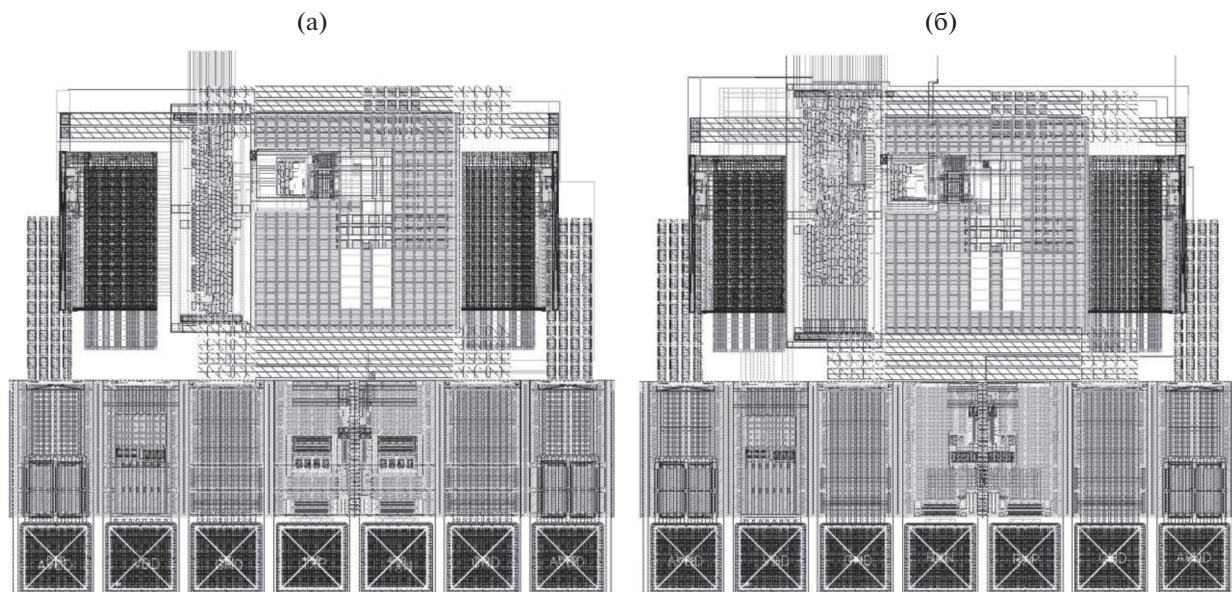


**Рис. 6.** Разработанные передатчик (а) и приемник (б) по стандарту передачи SpaceFibre по КМОП-технологии с нормами 90 нм.

Переключение между парными битовыми скоростями 1250 и 1562.5 Мбит/с, 2500 и 3125 Мбит/с осуществляется путем изменения частоты опорного сигнала ФАПЧ: 125 МГц в первом случае и 156.25 МГц во втором. На рис. 6а, 6б представлен общий вид топологии передатчика и приемника, разработанные по стандарту передачи SpaceFibre. Ширина и высота каждого из блоков без контактных площадок составляют 640 и 493 мкм соответственно.

На рис. 7 приведен общий вид тестовой платы в процессе измерений изготовленного МСПП.

При нормальных условиях (комнатная температура воздуха и напряжение питания 1.8 В) при битовых скоростях 1250, 2500 и 3125 Мбит/с и при

передаче псевдослучайной последовательности данных измеренный уровень BER не превысил  $10^{-13}$  с доверительной вероятностью более 95%. Также была подтверждена передача данных без ошибок в диапазоне нижних битовых скоростей.

На рис. 8 представлены измеренные глазковые диаграммы для скоростей 1250, 2500 и 3125 Мбит/с на конце коаксиального кабеля длиной 1.5 м.

Согласно стандарту SpaceFibre [9] в диапазоне скоростей от 1 до 3.125 Гбит/с на дальнем (Far-End) конце линии передачи требуемое раскрытие глаза по вертикали должно быть не менее  $\pm 100$  мВ, а допустимая величина джиттера не должна превышать 0.55 от единичного интервала UI ( $UI = 320$  пс в данном случае). По результатам изме-

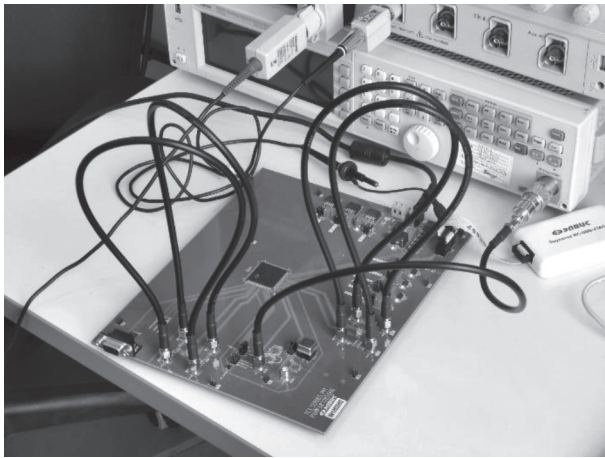


Рис. 7. Тестовая плата и измерительная система.

рений (см. рис. 8) на скорости 3.125 Гбит/с параметры глазковой диаграммы для сигнала на выходе тракта с исследуемым приемопередатчиком близки к указанным предельным значениям, однако это не приводит к росту числа ошибок при приеме.

Ниже приведена зависимость измеренного уровня BER от битовой скорости в ВЧ-диапазоне и на начальном участке выше этого диапазона при передаче данных по кабелю длиной 1.5 м:

| Битовая скорость, Гбит/с | BER                       |
|--------------------------|---------------------------|
| 1.25                     | $<10^{-12}$               |
| 2.5                      | $<10^{-12}$               |
| 3.125                    | $<10^{-12}$               |
| 3.34                     | $<10^{-12}$               |
| 3.35                     | $0.00167 \times 10^{-12}$ |
| 3.355                    | $0.05 \times 10^{-12}$    |
| 3.36                     | $1.23 \times 10^{-12}$    |
| 3.365                    | $7.12 \times 10^{-12}$    |
| 3.37                     | $1.99 \times 10^{-11}$    |
| 3.375                    | $5.77 \times 10^{-11}$    |
| 3.38                     | $2.29 \times 10^{-10}$    |

Результаты измерений показывают, что при преодолении некоторого порога битовой скорости передачи, в данном случае 3.35 Гбит/с, часто-

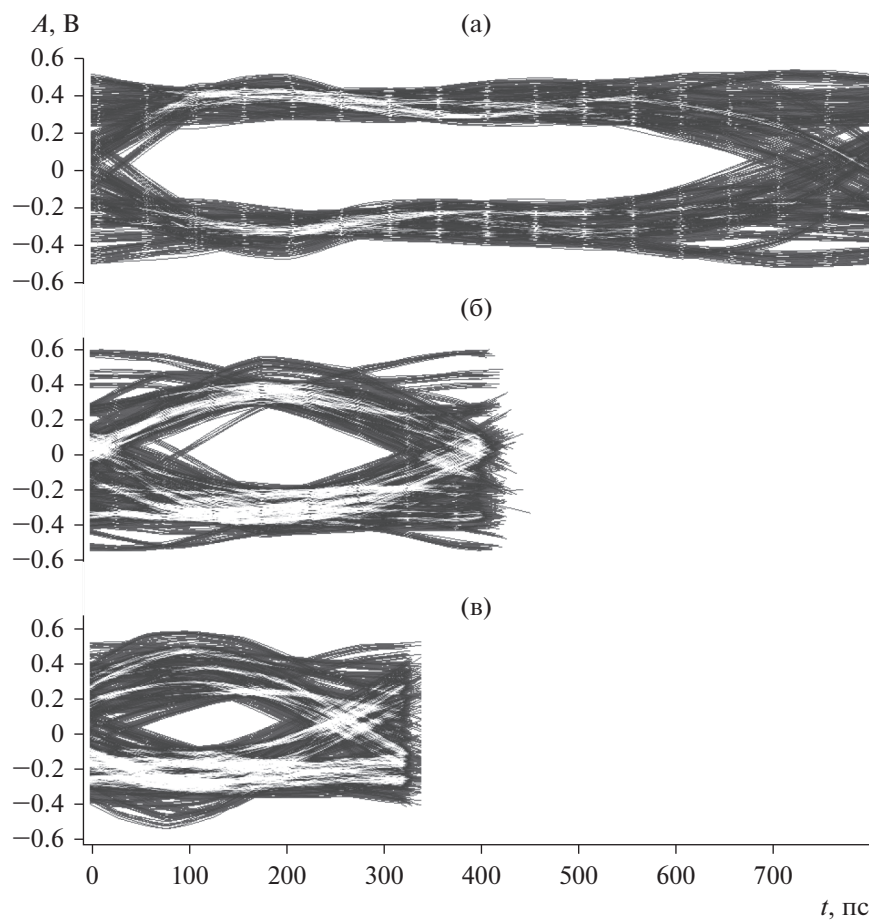


Рис. 8. Глазковые диаграммы данных на конце линии передачи при скоростях 1.25 (а), 2.25 (б), 3.125 Гбит/с (в).

**Таблица 2.** Сравнение параметров разработанного МСПП с зарубежными аналогами

| Параметр                                     | Собственная разработка | MAX9259/MAX9260 | DS1021      |
|----------------------------------------------|------------------------|-----------------|-------------|
| Диапазон битовых частот, Мбит/с              | 5...3125               | 500...3125      | 230...3200  |
| Технология изготовления                      | КМОП 90 нм             | КМОП 180 нм     | КМОП 65 нм  |
| Напряжение питания, В                        | 1.2/2.5                | 1.8/3.3         | 1.2/3.3     |
| Джиттер на частоте 3.125 Гбит/с не более, UI | 0.125                  | 0.25            | 0.35        |
| BER                                          | $<10^{-13}$            | $<10^{-12}$     | $<10^{-12}$ |
| Интерфейс обмена                             | CML                    | CML             | CML         |
| Рабочая температура, °C                      | –60...125              | –40...120       | –40...100   |
| Тип корпуса                                  | LQFP-176               | TQFP-64         | WLCS        |

та появления битовых ошибок быстро возрастает. Полученные результаты подтверждают наличие запаса как по битовой скорости, так и по длине кабеля.

В табл. 2 приведено сравнение разработанного МСПП с зарубежными аналогами, имеющими ту же или близкую максимальную скорость передачи.

### ЗАКЛЮЧЕНИЕ

Предложенные в данной работе архитектурные и схемотехнические решения актуальны для широкого класса мультискоростных приемопередатчиков. Они позволяют реализовать большой диапазон скоростей передачи, максимально используя возможности доступной технологии для расширения этого диапазона в его высокочастотной части. Эффективность предложенных решений подтверждена по результатам измерений мультискоростного приемопередатчика, изготовленного с использованием объемной КМОП-технологии 90 нм и предназначенного для работы в последовательном канале SpaceFibre. По совокупности параметров разработанный и изготовленный мультискоростной приемопередатчик не уступает ближайшим зарубежным аналогам, а по

общему реализованному диапазону скоростей существенно их превосходит.

### СПИСОК ЛИТЕРАТУРЫ

1. Яблоков Е.Н. // Изв. Самар. научного центра РАН. 2016. Т. 18. № 1. С. 428.
2. Parkes S., Florit A.F., Villafranca A.G. et al. // Proc. 2017. IEEE Aerospace Conf. Big Sky 4–11 Mar. N.Y.: IEEE, 2017. P. 7943805.
3. Регламент радиосвязи. Статьи. Женева: Междунар. союз электросвязи, 2016.
4. Buchs K., Zabinski P., Coker J. // Special Purpose Processor Development Group Mayo Clinic. 2004. P. 51.
5. Алексеев И.Н., Байков В.Д., Глушков А.В. и др. // Наноиндустрия. 2019. Спецвыпуск. С. 610.
6. Доможаков Д.А., Кондратенко С.В. // Вопросы радиоэлектроники. Сб. науч. тр. ЦНИИ “Электроника”. 2018. С. 6.
7. Zheng X., Zhang C., Lv F., Zhao F. et al. // Proc. 42nd Europ. Solid-State Circuits Conf. (ESSCIRC). Lausanne. 13–15 Sep. 2016. N.Y.: IEEE, 2016. P. 305.
8. Байков В.Д., Доможаков Д.А., Дубинский А.В. // Наноиндустрия. 2019. Спецвыпуск. С. 287.
9. SpaceFibre – Very high-speed serial link. ECSS-E-ST-50\_11c. Noordwijk: ECSS Secretariat. ESA-ESTEC Requirements & Standards Division, 2019.