

## ВЫСОКОЧАСТОТНЫЙ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНЫЙ СИНТЕЗАТОР СЛОЖНЫХ ШИРОКОПОЛОСНЫХ СИГНАЛОВ ДЛЯ ТЕЛЕКОММУНИКАЦИОННЫХ СИСТЕМ

© 2021 г. И. В. Рябов<sup>a,\*</sup>, И. В. Стрельников<sup>a</sup>, Н. В. Дегтярев<sup>a</sup>

<sup>a</sup> Поволжский государственный технологический университет  
Россия, 424000, Йошкар-Ола, пл. Ленина, 3

\*e-mail: ryabov22@mail.ru

Поступила в редакцию 02.01.2021 г.

После доработки 22.01.2021 г.

Принята к публикации 06.02.2021 г.

Приведены принципы построения и структурно-схемотехнические решения цифровых вычислительных синтезаторов, построенных на базе метода прямого цифрового синтеза частот и сигналов. Представлены структурная и принципиальная схемы цифрового вычислительного синтезатора сложных широкополосных сигналов, позволяющего синтезировать сигналы с амплитудной, частотной и фазовой модуляцией в диапазоне частот от 0.001 до 920 МГц.

DOI: 10.31857/S0032816221040091

### ВВЕДЕНИЕ

Цифровые вычислительные синтезаторы (ц.в.с.) вошли в практику в начале 70-х годов. Они основаны на преобразовании не самих колебаний, а значений их цифровых отсчетов. Другими словами, в таких синтезаторах происходит нелинейное преобразование кода частоты в аналоговый многоуровневый сигнал с частотой [1]

$$f_c = f_n + n\Delta f,$$

где  $f_n$  – нижняя частота диапазона,  $\Delta f$  – шаг сетки частот.

Цифровые вычислительные синтезаторы характеризуются множеством параметров. К основным из них, определяющим качество формируемого сигнала, относятся: диапазон сетки частот, шаг сетки частот, время установки частоты, “чистота” спектра выходных колебаний, нестабильность частоты выходных колебаний.

Ц.в.с. могут иметь некоторые дополнительные цифровые блоки, выполняющие над сигналом различные дополнительные операции и расширяющие функциональные возможности ц.в.с.:

- множитель опорной частоты;
- дополнительный цифровой сумматор для программирования фазы;

– инверсный  $\sin(x)$ -фильтр для компенсации неравномерности амплитудно-частотной характеристики (а.ч.х.);

– дополнительный цифровой множитель для формирования сигнала с амплитудной модуляцией;

– дополнительный цифроаналоговый преобразователь для получения квадратурных сигналов  $I$  и  $Q$ ;

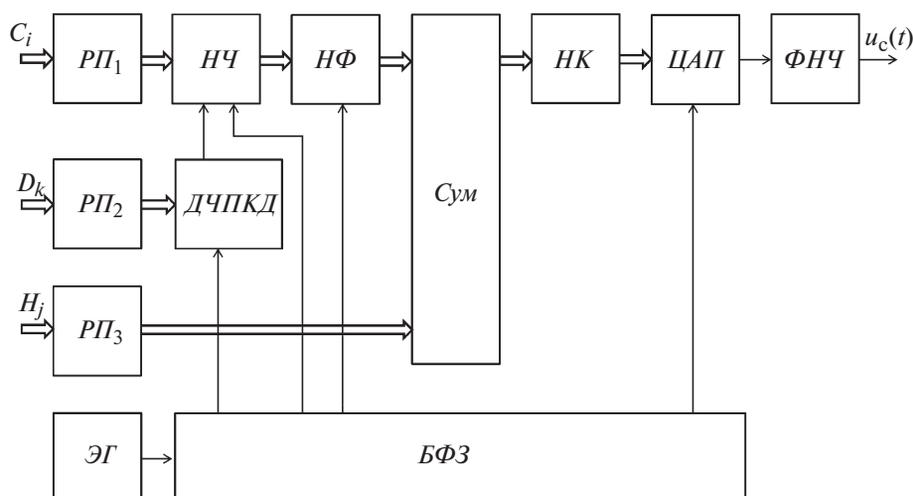
– дополнительный компаратор с малым джиттер-фактором для формирования тактового сигнала;

– дополнительные регистры частоты и фазы, которые могут быть заранее запрограммированы для частотной или фазовой модуляции.

В данной работе представлены алгоритмы работы цифровых синтезаторов прецизионных частот и сигналов, позволившие повысить быстродействие и расширить функциональные возможности ц.в.с., схемотехнические структуры быстродействующих ц.в.с., защищенные патентами РФ на изобретение, и схема ц.в.с. на основе AD9914.

### Ц.В.С. ФАЗОМОДУЛИРОВАННЫХ СИГНАЛОВ

Цифровые вычислительные синтезаторы характеризуются тем, что формируемый ими сигнал синтезируется с высокой точностью. В ц.в.с. возможно управлять его параметрами при помощи



**Рис. 1.** Структурная схема цифрового вычислительного синтезатора фазомодулированных сигналов.  $РП_1$ – $РП_3$  – регистры памяти,  $НЧ$  – накопитель частоты,  $НФ$  – накопитель фазы,  $Сум$  – сумматор,  $ЛК$  – преобразователь кодов  $x$ – $\sin(x)$ ,  $ЦАП$  – цифроаналоговый преобразователь,  $ФНЧ$  – фильтр нижних частот,  $ДЧПКД$  – делитель частоты с переменным коэффициентом деления,  $ЭГ$  – эталонный генератор,  $БФЗ$  – блок формирования и задержки.

цифрового интерфейса. Ц.в.с. в настоящее время все больше вытесняют синтезаторы с фазовой автоподстройкой частоты, построенные на базе метода косвенного аналогового синтеза.

Структурная схема ц.в.с. фазомодулированных сигналов представлена на рис. 1 [2].

Цифровой вычислительный синтезатор фазомодулированных сигналов (рис. 1) содержит три регистра памяти ( $РП$ ), два цифровых накопителя  $НЧ$  и  $НФ$  (аккумуляторов соответственно частоты и фазы), сумматор, преобразователь кодов  $x$ – $\sin(x)$ , цифроаналоговый преобразователь ( $ЦАП$ ), фильтр нижних частот ( $ФНЧ$ ), делитель частоты с переменным коэффициентом деления ( $ДЧПКД$ ), эталонный генератор ( $ЭГ$ ) и блок формирования и задержки ( $БФЗ$ ) [3].

Эталонный генератор формирует сигнал тактовой частоты, который поступает на блок формирования и задержки, в котором формируются импульсы тактовой частоты формы “меандр”, служащие для синхронизации работы основных узлов ц.в.с.: цифровых накопителей и  $ЦАП$ .

На вход регистра памяти  $РП_1$  поступает код начальной частоты  $C_i$ . Содержимое цифрового накопителя частоты с каждым тактовым импульсом  $T = \Delta t$  линейно увеличивается во времени и зависит от величины кода  $C_i$ .

Выходной код цифрового накопителя фазы представляет собой код мгновенной фазы выходного сигнала. Постоянное приращение представляет собой приращение фазы за один такт работы устройства. Чем больше значение кода  $C_i$ , тем быстрее изменяется фаза во времени и, следовательно, выше частота генерируемого сигнала.

Далее код фазы подается на вход функционального преобразователя код–синус, представляющий собой постоянное запоминающее устройство (п.з.у.), в котором записаны значения кодов синуса.

Задача ц.в.с. заключается в синтезе сигнала “синусоидальной” формы с заданной частотой и начальной фазой. Так как в ц.в.с. формирование выходного сигнала происходит в цифровой форме, необходимы цифроаналоговый преобразователь и фильтр нижних частот.

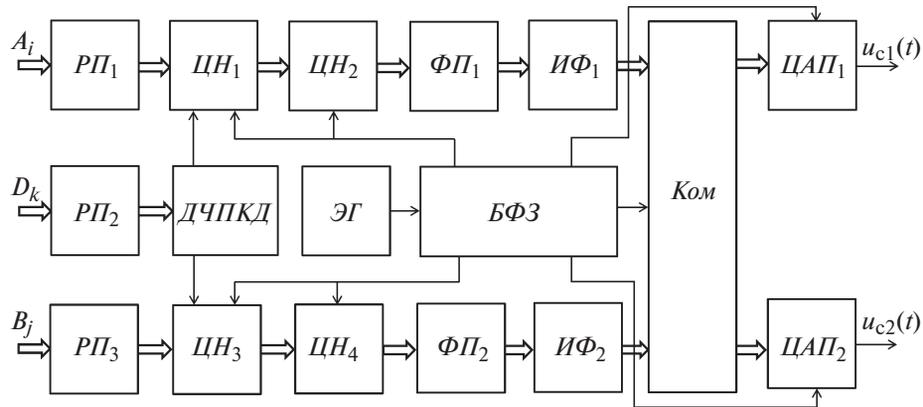
Чтобы получить синусоидальный сигнал, на вход  $ЦАП$  необходимо подать последовательность отсчетов функции синуса  $\sin(x)$ , следующих с частотой дискретизации. Наиболее подходящим методом формирования отсчетов функции  $\sin(x)$  является табличный метод, который реализуется посредством ввода в п.з.у. таблицы соответствий код  $x$ – $\sin(x)$ .

Аккумулятор фазы работает с периодическими переполнениями, обеспечивая суммирование по модулю  $2^N$ . Такое периодическое переполнение соответствует поведению функции  $\sin(x)$  с периодом  $2\pi$ . Другими словами, частота переполнений аккумулятора фазы равна частоте выходного сигнала, определяемой по формуле

$$f_{\text{выч}} = C_i f_T / 2^N,$$

где  $f_{\text{выч}}$  – выходная частота,  $f_T$  – тактовая частота  $C_i$  – код начальной частоты,  $N$  – разрядность аккумулятора фазы.

Шаг перестройки частоты определяется формулой



**Рис. 2.** Структурная схема цифрового вычислительного синтезатора частотно-модулированных сигналов.  $РП_1$ – $РП_3$  – регистры памяти,  $ЦН_1$ – $ЦН_4$  – цифровые накопители,  $ФП_1$ ,  $ФП_2$  – функциональные преобразователи код  $x-\sin(x)$ ,  $ИФ_1$ ,  $ИФ_2$  – инверсные  $\sin(x)/x$ -фильтры,  $ДЧПКД$  – делитель частоты с переменным коэффициентом деления,  $ЦАП_1$ ,  $ЦАП_2$  – цифроаналоговые преобразователи,  $ЭГ$  – эталонный генератор,  $БФЗ$  – блок формирования и задержки,  $Ком$  – коммутатор.

$$\delta f_{\text{выч}} = f_T / 2^N.$$

$$A(f_{\text{вых}}) = \frac{\sin[(\pi f_{\text{вых}})/f_T]}{\pi f_{\text{вых}}/f_T},$$

Например, если тактовая частота равна  $f_T = 2000$  МГц, а разрядность  $N = 32$ , то шаг перестройки частоты составит примерно  $\delta f = 0.4$  Гц.

где  $A(f_{\text{вых}})$  – амплитуда сигнала на выходе  $ЦАП$  на заданной частоте.

Из этого соотношения следует, что если увеличить разрядность  $N$ , то уменьшится шаг перестройки частоты.

### ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНЫЙ СИНТЕЗАТОР ЧАСТОТНО-МОДУЛИРОВАННЫХ СИГНАЛОВ

Увеличение разрядности аккумулятора фазы не требует обязательного увеличения разрядности адреса п.з.у. Для адресации п.з.у. можно использовать лишь необходимое количество старших разрядов кода фазы.

Цифровой вычислительный синтезатор предназначен для синтеза сигналов с частотной модуляцией и может использоваться в радиолокации, навигации и в адаптивных широкополосных системах связи с программной перестройкой рабочей частоты.

Отсчеты амплитуды синтезированного сигнала поступают на  $ЦАП$ , на выходе которого формируется “ступенчатый” синусоидальный сигнал. Этот сигнал фильтруется с помощью аналогового  $ФНЧ$  [4, 5].

Структурная схема цифрового вычислительного синтезатора частотно-модулированных сигналов представлена на рис. 2.

Высокие требования к стабильности характеристик предъявляются к параметрам опорного генератора, так как главным источником фазовых шумов в ц.в.с. является генератор опорной частоты. Фазовый шум выходного сигнала синтезатора теоретически меньше фазового шума сигнала тактового генератора на  $20 \log(f_T/f_{\text{выч}})$  дБ/Гц.

Цифровой вычислительный синтезатор частотно-модулированных сигналов содержит последовательно соединенные эталонный генератор, блок формирования и задержки; последовательно соединенные регистр памяти  $РП_1$ , цифровые накопители  $ЦН_1$ ,  $ЦН_2$ , функциональный преобразователь код  $x-\sin(x)$   $ФП_1$ , инверсный  $\sin x/x$ -фильтр  $ИФ_1$ , вход коммутатора, выход которого соединен с информационным входом  $ЦАП_1$ ; такая же последовательная цепь  $РП_2$ ,  $ЦН_3$ ,  $ЦН_4$ ,  $ФП_2$ ,  $ИФ_2$  через коммутатор соединена с информационным входом  $ЦАП_2$ ; последовательно соединенные  $РП_3$  и  $ДЧПКД$ , выход которого подключен к входам последовательного переноса цифровых накопителей  $ЦН_1$  и  $ЦН_3$ ; выходы блока формирования и задержки подключены к тактовым входам всех цифровых накопителей, а также к тактовым вхо-

На практике это улучшение ограничено свойствами схем, входящих в состав синтезатора [6].

Как уже было сказано, максимальная выходная частота синтезируемого сигнала не может быть выше половины тактовой частоты  $f_T$ , на практике она, как правило, в 4 раза меньше тактовой частоты [1–8].

Огибающая спектра сигнала на выходе  $ЦАП$  изменяется по закону  $\sin(x)/x$ , и амплитуду сигнала можно определить по формуле

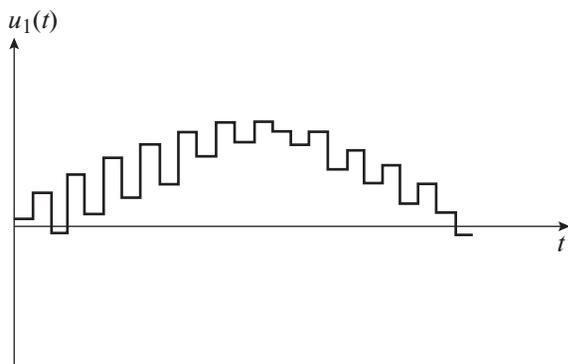


Рис. 3. График частотно-модулированных сигналов на выходе ц.в.с.

дам ЦАП<sub>1</sub>, ЦАП<sub>2</sub> и к управляющему входу коммутатора. Цифровыми входами ц.в.с. являются входы регистров памяти, а его аналоговыми выходами являются выходы ЦАП [9].

Ц.в.с. работает следующим образом. Эталонный генератор вырабатывает синусоидальный сигнал опорной частоты, из которого в блоке формирования и задержки формируются последовательности прямоугольных импульсов формы “мандра”, служащие для синхронизации работы основных узлов ц.в.с. Они поступают на тактовые входы цифровых накопителей, тактовые входы обоих ЦАП и управляющий вход коммутатора [10].

По первому тактовому импульсу в момент времени  $t_1$  код  $A_i$  записывается из регистра памяти РР<sub>1</sub> в цифровой накопитель ЦН<sub>1</sub>, код  $B_j$  — из РР<sub>2</sub> в ЦН<sub>3</sub>, код  $D_k$  — из РР<sub>3</sub> в делитель с переменным коэффициентом деления ДЧПКД.

В момент  $t_2$  по второму тактовому импульсу код  $A_i$  из цифрового накопителя ЦН<sub>1</sub> записывается в ЦН<sub>2</sub>, а код  $B_j$  из ЦН<sub>3</sub> записывается в ЦН<sub>4</sub>. Код  $D_k$  будет определять скорость изменения частоты в цифровых накопителях ЦН<sub>1</sub> и ЦН<sub>3</sub>: чем больше значение кода  $D_k$ , тем ниже скорость изменения информации в них.

Далее с каждым последующим тактовым импульсом информация в цифровом накопителе ЦН<sub>1</sub> будет изменяться по формуле

$$F_1 = A_i + T/D_k,$$

в ЦН<sub>3</sub> — по формуле

$$F_2 = B_j + T/D_k.$$

Информация в цифровых накопителях ЦН<sub>2</sub> и ЦН<sub>4</sub> будет описываться следующими формулами:

$$\Phi_1 = A_i T + T^2/D_k,$$

$$\Phi_2 = B_j T + T^2/D_k.$$

В функциональных преобразователях ФП<sub>1</sub> и ФП<sub>2</sub> происходит сопоставление кодов  $\Phi_1$  и  $\Phi_2$  в коды  $\sin \Phi$ .

Далее коды  $\sin \Phi$  поступают через инверсные фильтры ИФ<sub>1</sub> и ИФ<sub>2</sub> на коммутатор, а оттуда на информационные входы ЦАП<sub>1</sub>, ЦАП<sub>2</sub>. Инверсные фильтры служат для выравнивания а.ч.х. на высоких частотах.

Если ввести обозначения

$$f_1 = A_i; \quad f_2 = B_j; \quad 0.5f = 1/D_k,$$

то сигналы на выходах ЦАП можно описать следующими выражениями:

$$u_{c1}(t) = U_0 \sin(2\pi f_1 t + \pi f t^2),$$

$$u_{c2}(t) = U_0 \sin(2\pi f_2 t + \pi f t^2).$$

Форма сигнала на выходе ЦАП<sub>1</sub> приведена на рис. 3.

Таким образом, цифровой вычислительный синтезатор формирует двухчастотный составной частотно-модулированный сигнал [11].

### Ц.В.С. ЧАСТОТНО- И ФАЗОМОДУЛИРОВАННЫХ СИГНАЛОВ

Цифровой вычислительный синтезатор предназначен для формирования сложных широкополосных сигналов, сигналов с частотной, фазовой и амплитудной модуляцией, он может использоваться в составе адаптивных систем связи с программной перестройкой рабочей частоты и в телекоммуникациях.

Цифровой вычислительный синтезатор, схема которого приведена на рис. 4, состоит из двух основных частей — интерфейсной части (рис. 4а) и микросхемы цифрового вычислительного синтезатора (рис. 4б).

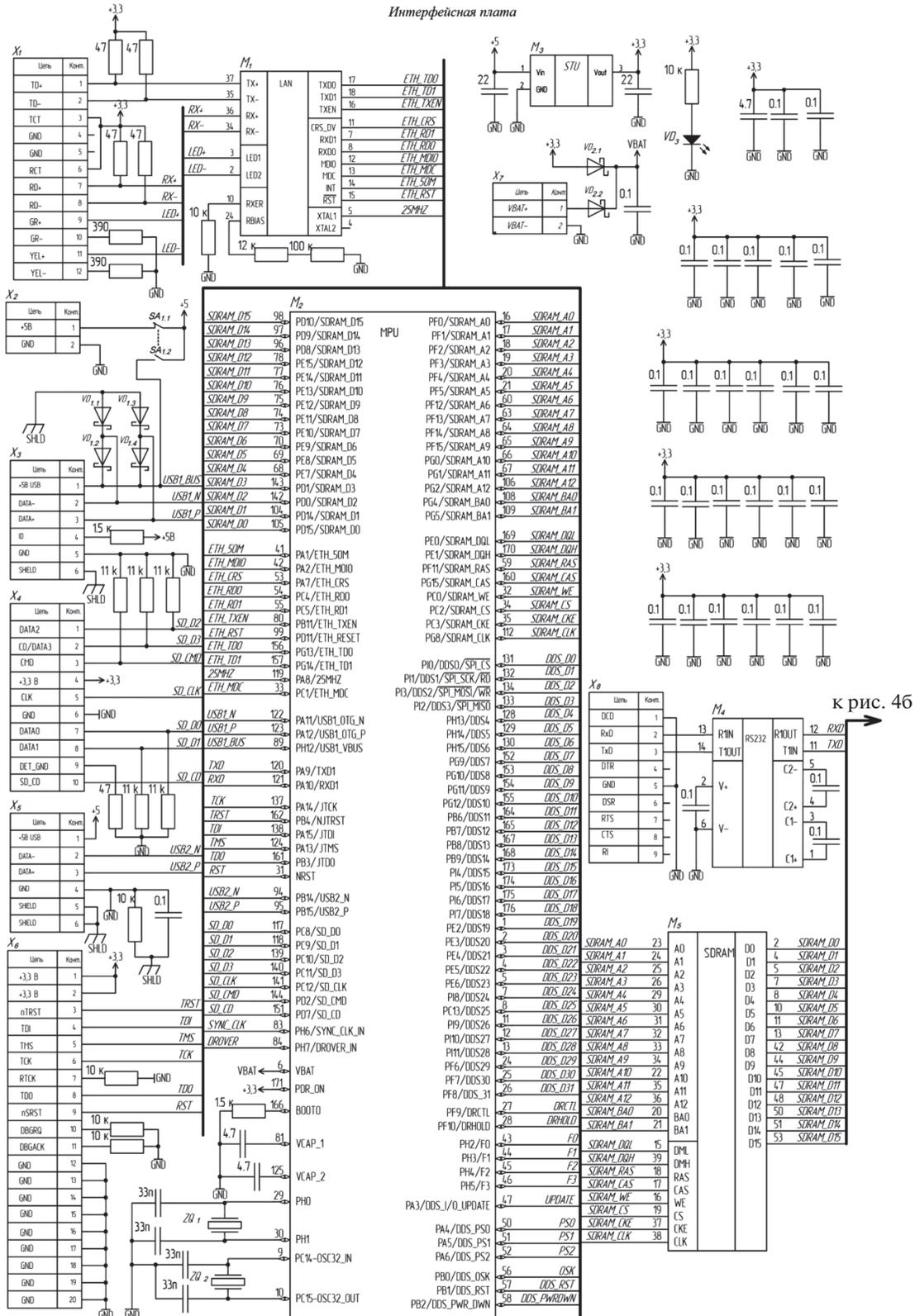
Напряжение питания +5 В, потребляемый ток не более 3 А.

Интерфейсная часть представляет собой микроконтроллер  $M_2$  на базе ядра ARM Cortex-M4, который осуществляет ввод-вывод данных, обработку команд. Для питания интерфейсной части требуется внешний источник +5 В, подключаемый к разъему  $X_2$  либо к разъему  $X_3$  шины USB. Выбор источника питания осуществляется переключателем  $SA_1$ . Поскольку микроконтроллер и большая часть микросхем работают на напряжении +3.3 В, то в схеме интерфейсной части имеется стабилизатор  $M_3$  на +3.3 В.

Обмен данными и ввод команд с микроконтроллером осуществляется через Ethernet, RS-232

(a)

Интерфейсная плата



(б)

Плата цифрового синтезатора

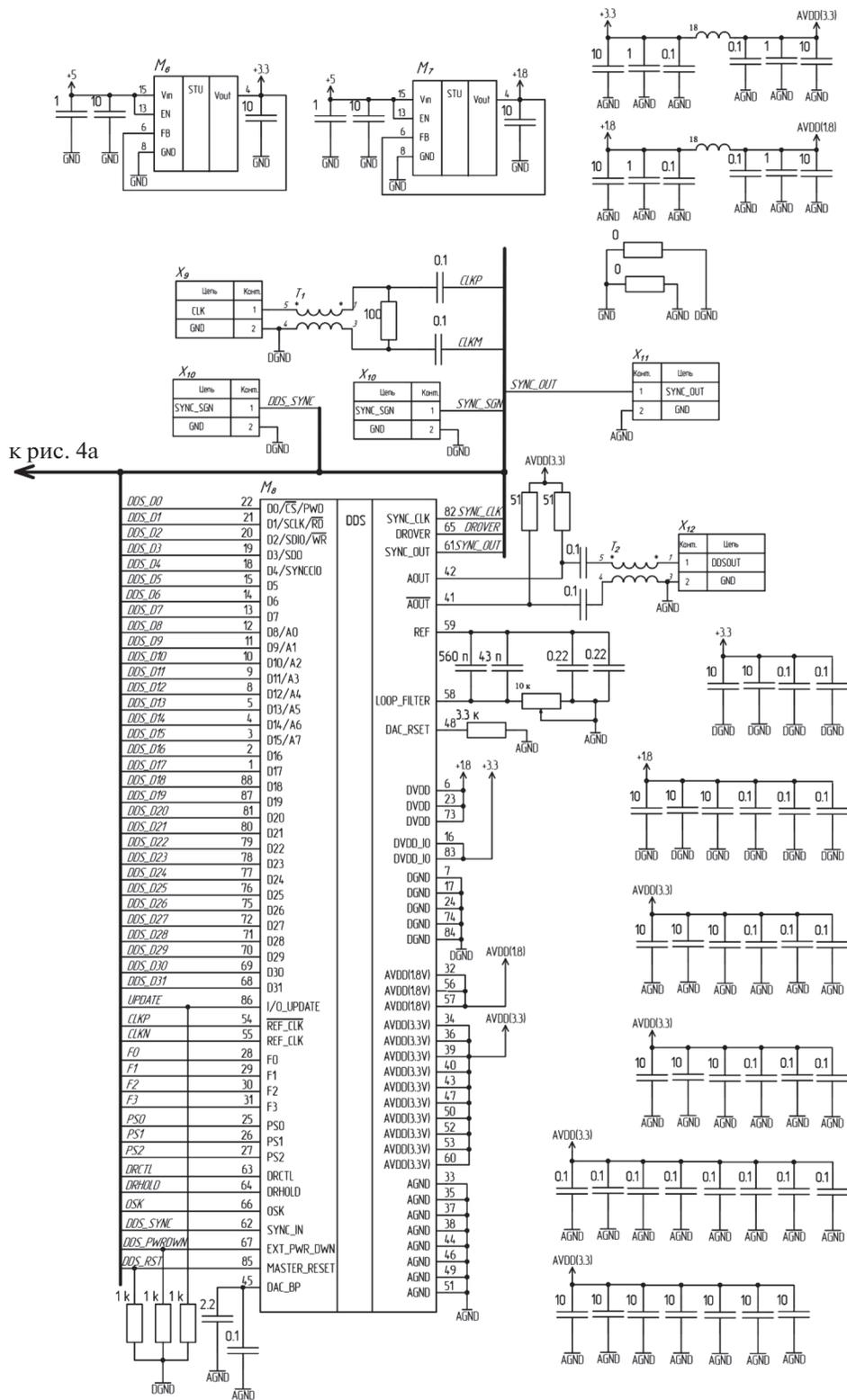


Рис. 4. Окончание

либо USB. Обмен данными по Ethernet осуществляется с помощью микросхемы  $M_1$ , обеспечивающей скорость обмена до 100 Мбит/с и предоставляющей полнодуплексный канал связи. Передача и прием данных, команд осуществляется через разъем  $X_1$ . Обмен данными по USB осуществляется с микроконтроллером  $M_2$  напрямую через разъемы  $X_3$  и  $X_5$ . Обмен данными по RS-232 осуществляется через стандартный разъем  $X_8$  и преобразователь  $M_4$  (UART – RS-232).

Источник тактирования микроконтроллера  $M_2$  – внешний на базе кварцевого резонатора  $ZQ_1$ . Для осуществления отсчета реального времени к микроконтроллеру  $M_2$  подключается внешний источник тактирования на базе кварцевого резонатора  $ZQ_2$ . Для автономной работы модуля часов реального времени в составе микроконтроллера  $M_2$  возможно подключение батарейного источника питания через разъем  $X_7$ .

В интерфейсной части предусмотрена работа устройства синтезатора с SD-карты, которая подключается к микроконтроллеру  $M_2$  через разъем-держатель SD-карты  $X_4$ .

Для обеспечения обработки входного потока данных и команд интерфейсная часть содержит в своем составе динамическую память на базе микросхемы  $M_5$ , состоящей из двух банков по 4096 16-битных слов. Это также позволяет организовать на базе интерфейсной части web-сервер, обеспечивающий удобный интерфейс настройки устройства синтезатора с любого внешнего устройства, поддерживающего веб-протокол. Микроконтроллер  $M_2$  позволяет также организовать защищенный канал связи с шифрованием AES-128, AES-192 или AES-256.

Цифровой вычислительный синтезатор в данном устройстве основан на базе микросхемы одноканального цифрового синтезатора AD9914 ( $M_8$ ), который обеспечивает формирование гармонических квадратурных колебаний и сигналов с линейно-частотной модуляцией, амплитудно-фазовой модуляцией, частотной модуляцией и фазовой манипуляцией с частотой дискретизации до 3.5 ГГц.

Синтезатор содержит высокоскоростное ядро, работающее на частотах до 3.5 ГГц, устройство управления и тактирования, умножитель частоты с петлей фазовой автоподстройки частоты, высокоскоростной параллельный и последовательный порты, цифроаналоговый преобразователь с разрядностью 12 бит и блок цифрового генератора линейного изменения сигнала.

Синтезатор может работать в нескольких режимах: режим непосредственного управления

выходным сигналом, режим генерации сигнала по запрограммированным профилям, режим работы цифрового генератора линейного изменения сигнала. Выбор режима осуществляется во внутренних регистрах управления микросхемы  $M_8$ . Доступ к внутренним регистрам микросхемы осуществляется 4 различными способами: через 8-разрядную параллельную шину, через 16-разрядную параллельную шину адреса, через интерфейс SPI, через 32-битную параллельную шину. Выбор способа доступа к внутренним регистрам микросхемы  $M_8$  осуществляется микроконтроллером  $M_2$  с помощью сигналов  $F0, F1, F2, F3$ .

В режиме 8-битного и 16-битного параллельного порта или последовательного порта управление модуляцией сигнала происходит через микроконтроллер  $M_2$ , осуществляя запись во внутренние регистры соответствующих значений. При этом в режиме параллельного порта управление чтением и записью осуществляется сигналами  $DDS\_D1, DDS\_D2$ . Переключение между 8-битным и 16-битным режимом параллельного порта осуществляется сигналом  $DDS\_D0$ .

В режиме 32-битной параллельной шины коды частоты, фазы и амплитуды сигналов передаются с микроконтроллера  $M_2$  в микросхему  $M_8$  непосредственно по шине, при этом все 32 бита шины  $DDS\_D0...DDS\_D31$  может занимать как код частоты, так и коды частоты и фазы, частоты и амплитуды, фазы и амплитуды. Выбор назначения разрядов шины в этом случае определяется значениями сигналов  $F0, F1, F2, F3$ . Чтение и запись внутренних регистров микросхемы  $M_8$  в случае режима параллельной 32-битной шины осуществляется по фронту сигнала  $SYN\_CLK$  при высоком уровне сигнала  $UPDATE$ . Сигнал  $SYN\_CLK$  формируется внутри микросхемы  $M_8$  при наличии сигналов тактирования  $CLKP$  и  $CLKN$ , которые поступают извне через разъем  $X_9$ . Для синхронизации работы микроконтроллера  $M_2$  и микросхемы  $M_8$  сигнал  $SYN\_CLK$  поступает на вход прерывания микроконтроллера  $M_2$ .

Режим работы по запрограммированным профилям включается по предварительной записи соответствующего значения во внутреннем регистре микросхемы  $M_8$ . При этом способ записи (параллельная 16-битная или последовательная шина) определяется сигналами  $F0, F1, F2, F3$ . В режиме работы по запрограммированным профилям переключение профилями осуществляется с помощью сигналов  $PS0, PS1, PS2$ . Выбор профиля осуществляется по фронту сигнала  $SYN\_CLK$  при высоком уровне сигнала  $UPDATE$ . Микросхема  $M_8$  позволяет запрограммировать 8 профилей.

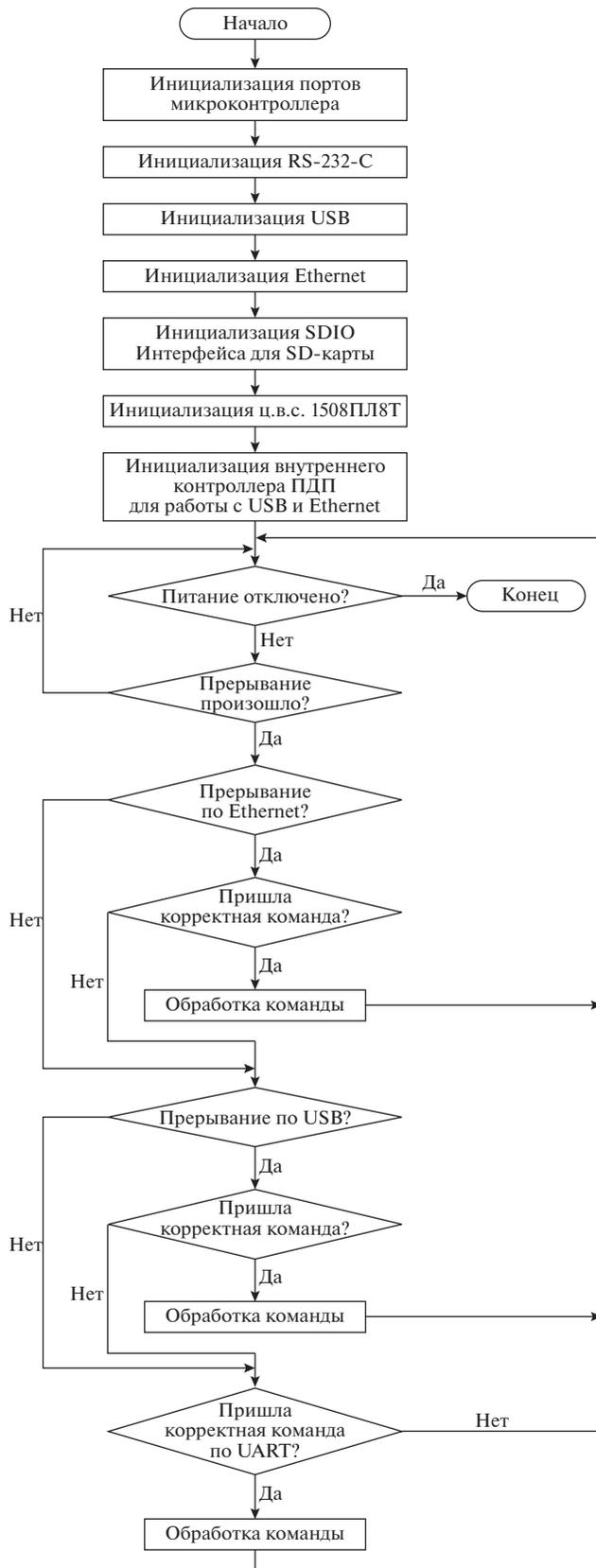


Рис. 5. Алгоритм работы цифрового вычислительного синтезатора.

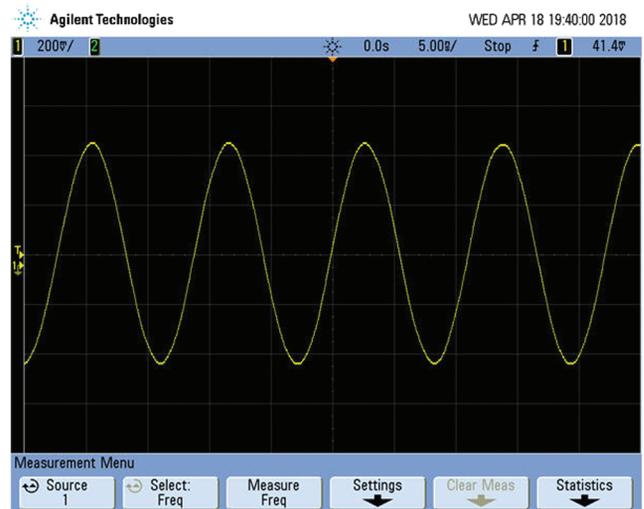


Рис. 6. Осциллограмма выходного сигнала ц.в.с.

В режиме цифрового генератора линейного изменения запускается генератор, формирующий последовательно изменяющийся код сигнала, который затем преобразуется внутренним ЦАП микросхемы  $M_8$  в аналоговый сигнал. Причем скорость изменения кода сигнала, его пределы изменения задаются также во внутренних регистрах микросхемы  $M_8$ . Запуск режима цифрового генератора линейного изменения осуществляется выставлением соответствующего бита одного из внутренних регистров микросхемы  $M_8$ . При этом сигнал  $DRCTL$  (активный уровень высокий) управляет направлением линейного изменения цифрового генератора (спад или нарастание), сигнал  $DRHOLD$  (активный уровень высокий) позволяет поставить цифровой генератор на паузу.

В принципиальной схеме возможны все перечисленные режимы работы. Плата ц.в.с. формирует на выходном разъеме  $X_{13}$  сигнал определенной модуляции по приходу внешнего сигнала  $SYN\_SGN$  с входного разъема  $X_{11}$ .

При появлении активного уровня на линии  $SYN\_SGN$  микроконтроллер  $M_2$  инициирует запуск генерации сигнала с соответствующей модуляцией с помощью микросхемы  $M_8$ . Входной сигнал  $DDS\_SYNC$  и выходной сигнал  $SYNC\_OUT$ , выведенные соответственно на разъемы  $X_{10}$  и  $X_{12}$ , позволяют синхронизировать работу платы ц.в.с. с другими внешними устройствами.

Поскольку на плате цифрового синтезатора используется питание +3.3 В и +1.8 В, а сама плата использует напряжение питания +5 В, то для конвертации входного напряжения питания +5 В в напряжения +3.3 В и +1.8 В используются микросхемы  $M_6$  и  $M_7$  соответственно.

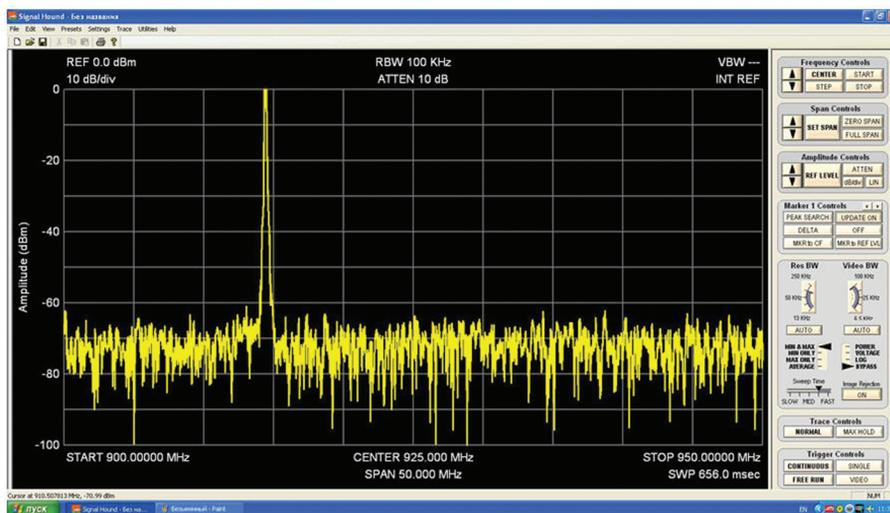


Рис. 7. Спектрограмма выходного сигнала ц.в.с.

**Основные технические характеристики ц.в.с.**  
 Тактовая частота 3500 МГц; диапазон частот формируемых сигналов 0.001–920 МГц; шаг перестройки частоты  $5 \cdot 10^{-4}$  Гц; разрядность накопителя частоты и накопителя фазы 48 бит, разрядность ЦАП – 12 бит; амплитуда выходного сигнала не менее 300 мВ; виды модуляции сигналов: амплитудная (АМ), частотная (FSK), фазовая (PSK); уровень фазовых шумов не хуже  $-148$  дБн/Гц, уровень амплитудных шумов  $-72$  дБ/В; напряжение питания периферии 3.3 В, питания ядра – 1.8 В.

На рис. 5 приведен алгоритм работы ц.в.с.

### ВРЕМЕННЫЕ И СПЕКТРАЛЬНЫЕ ХАРАКТЕРИСТИКИ ВЫХОДНОГО СИГНАЛА Ц.В.С.

На рис. 6 приведены временные диаграммы работы ц.в.с. при частоте тактового генератора  $f_T = 3500$  МГц и частоте синтеза  $f_c = 90$  МГц.

На рис. 7 приведен спектр выходного сигнала ц.в.с. 910 МГц, без фильтрации, который показал, что ц.в.с. может синтезировать сигнал в полосе от 0.001 до 920 МГц при частоте опорного тактового генератора  $f_T = 3500$  МГц.

Как видно из спектрограммы, уровень амплитудных шумов не превышает  $-(65-70)$  дБ [12, 13].

### ЗАКЛЮЧЕНИЕ

Наиболее перспективным для адаптивных систем связи и телекоммуникационных систем является метод прямого цифрового синтеза, при котором ц.в.с. обладает следующими преимуществами: высокой технологичностью и надежностью, сверхмалым шагом по частоте, высокой скоростью пере-

стройки частоты, преемственностью фазы формируемых колебаний при перестройке с одной частоты на другую, хорошей повторяемостью параметров синтезатора при тиражировании.

Цифровой вычислительный синтезатор сложных широкополосных сигналов позволяет синтезировать сигналы с частотной, фазовой и амплитудной модуляцией, причем управление цифровым вычислительным синтезатором осуществляется при помощи удобного цифрового интерфейса.

Данный ц.в.с. может быть использован в качестве возбудителя передатчика и гетеродина приемника современных адаптивных систем коротковолновой и ультракоротковолновой связи с псевдослучайной перестройкой рабочей частоты, что позволит увеличить помехоустойчивость и надежность сеанса связи, а также может использоваться в программно-аппаратном комплексе для дистанционного зондирования атмосферы Земли для получения амплитудно-частотных и дистанционно-частотных характеристик радиолиний.

### СПИСОК ЛИТЕРАТУРЫ

1. Ямпурин Н.П., Болотнев В.В., Сафронов Е.В., Жалнин Е.Б. Формирование прецизионных частот и сигналов: уч. пособие. Н. Новгород: Нижегородский гос. техн. ун-т, 2003.
2. Белов Л.А. Радиоэлектроника: Формирование стабильных частот и сигналов. М.: Юрайт, 2018.
3. Рябов И.В. Цифровой синтез прецизионных сигналов. Йошкар-Ола: Марийский гос. техн. ун-т, 2005.
4. Рябов И.В. Прямой цифровой синтез сигналов для задач радиолокации, навигации и связи. Йошкар-Ола: ПГТУ, 2016.
5. Рябов И.В. // ПТЭ. 2001. № 2. С. 62.

6. *Рябов И.В., Толмачев С.В., Чернов Д.А.* // ПТЭ. 2014. № 4. С. 49.  
<https://doi.org/10.7868/S0032816214040119>
7. *Рябов И.В.* // Радиотехника. 2006. № 9. С. 14.
8. *Рябов И.В., Стрельников И.В., Юрьев П.М., Дегтярев Н.В.* // ПТЭ. 2018. № 6. С. 25.  
<https://doi.org/10.1134/S0032816218050270>
9. *Рябов И.В., Рябов В.И.* Патент на изобретение 2204197 РФ. МПК H03L 7/18 // Оpubл. 10.05.2003. Бюл. № 13.
10. *Рябов И.В., Дедов А.Н., Толмачев С.В.* Патент на изобретение 2490789 РФ. МПК H03L 7/18 // Оpubл. 20.08.2013. Бюл. № 23.
11. *Рябов И.В., Юрьев П.М.* Патент на изобретение 2358384 РФ. МПК H03L 7/18 // Оpubл. 10.06.2009. Бюл. № 16.
12. *Vankka J.* // Proc. Int. Symp. Circuits and Systems IS-CAS'03. 2006.
13. *Wang C.-C., Huang J.-M., Tseng Y.-L.* // Circuits and Systems II: Express Briefs. IEEE Transactions. 2006. V. 53. P. 1143.