

УДК 621.382.323

ИССЛЕДОВАНИЕ ЭФФЕКТА САМОНАГРЕВАНИЯ В ВЫСОКОВОЛЬТНЫХ КНИ ТРАНЗИСТОРАХ С БОЛЬШОЙ ОБЛАСТЬЮ ДРЕЙФА

© 2022 г. С. В. Румянцев^а, *, А. С. Новоселов^а, Н. В. Масальский^а^аФедеральное государственное учреждение Федеральный научный центр Научно-исследовательский институт системных исследований РАН, Москва, Россия

*e-mail: volkov@niisi.ras.ru

Поступила в редакцию 27.01.2022 г.

После доработки 09.03.2022 г.

Принята к публикации 15.03.2022 г.

Обсуждаются результаты исследования вклада механизма самонагрева в ВАХ мощных LDMOS (laterally-diffused metal-oxide semiconductor) транзисторов, выполненных по технологии “кремний на изоляторе”, с длинной областью дрейфа с топологическими нормами 0.5 микрон при высоких управляющих напряжениях. Показано, что действие данного механизма существенно изменяет ВАХ транзисторов *n*- и *p*-типа. Определены отличия во влиянии механизма самонагрева на характеристики транзисторов *n*- и *p*-типа. Полученные результаты открывают и новые возможности улучшения характеристик микросхем при их разработке и методы дальнейшего совершенствования LDMOS-технологии.

Ключевые слова: мощный LDMOS, технология “кремний на изоляторе”, самонагревание, моделирование, тестирование

DOI: 10.31857/S0544126922050088

1. ВВЕДЕНИЕ

Кремниевые мощные LDMOS (laterally-diffused metal-oxide semiconductor) – транзисторы в настоящее время находят широкое применение в различной радиоаппаратуре, несмотря на продвижение приборов на основе широко-зонных полупроводников, например, нитрида галлия. LDMOS-технология является основной технологией при производстве широкой номенклатуры мощных СВЧ-устройств для различных мобильных и стационарных применений. Это стало возможным в результате того, что рабочий диапазон частот LDMOS-транзисторов расширился от 1 МГц до 4 ГГц [1, 2]. Еще одним вектором развития LDMOS-технологии является ее перенос на платформу КНИ (кремния на изоляторе). Устройства КНИ LDMOS обладают рядом преимуществ, таких как более высокая плотность упаковки и более низкие токи утечки.

КНИ LDMOS представляет собой асимметричную структуру с областью дрейфа, расположенной между каналом и областью стока [3, 4]. Схема поперечного сечения высоковольтного КНИ LDMOS, используемого в этом исследовании, показана на рис. 1. Устройство имеет очень длинную слегка легированную область дрейфа *n*-типа, чтобы выдерживать внешние высокие напряжения. Эта область определяет и напряжение пробоя. Электрод затвора покрывает поверхность канала и часть области

дрейфа. Рабочая область транзистора изолирована от подложки толстым оксидом кремния BOX. Это обеспечивает диэлектрическую изоляцию и сводит к минимуму паразитные явления.

Подобно классическим субмикронным МОП транзисторам, КНИ LDMOS-транзисторы характеризуются аналогичными вольт-амперными характеристиками (ВАХ). Однако в случае LDMOS-транзисторов существуют и отличия. Ключевой конструктивной особенностью LDMOS-транзисторов является наличие так называемой DRIFT области (области дрейфа), благодаря которой достигается эффект снижения напряженности электрического поля [3, 4]. Это означает, что для LDMOS-транзисторов не характерны такие эффекты, как отсечка канала или модуляция его длины [5].

В режиме низкого тока стока I_{ds} происходит зависящее от поля уменьшение подвижности носителей, насыщение скорости в канале и квазинасыщение в области дрейфа. В режиме высокого тока проявляются эффекты обратной связи, вызванной ударной ионизацией, а также самонагревание в канальной и дрейфовой частях как из-за тока МОП-транзистора, так и тока паразитного биполярного транзистора (BJT).

Самонагревание является постоянной проблемой в транзисторах КНИ LDMOS, из-за, во-первых, потому что, активный дрейфовый слой DRIFT

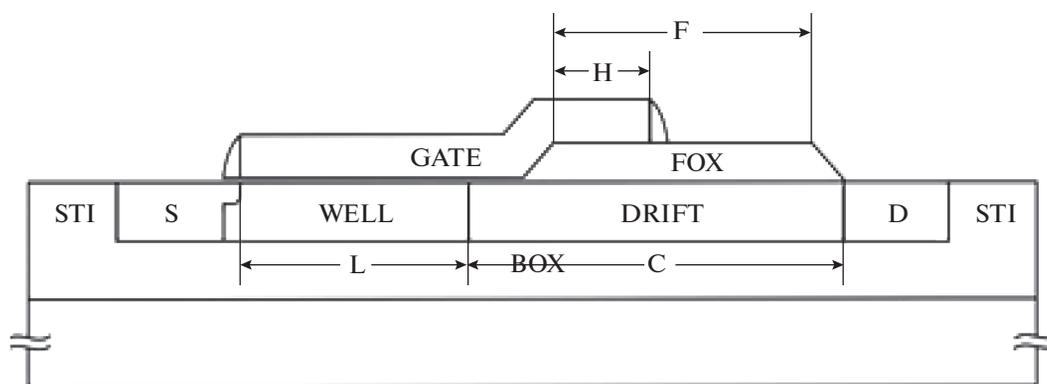


Рис. 1. Структурная схема высоковольтного КНИ LDMOS- транзистора.

зажат между оксидом FOX и толстым скрытым оксидом BOX [1, 3, 4] (см. рис. 1), во-вторых, из-за низкой теплопроводности оксида кремния [6]. Таким образом, при моделировании таких транзисторов необходимо учитывать повышение температуры из-за его самонагревания для получения достоверных результатов. Самонагревание приобретает еще большее значение в диапазоне больших токов. Это приводит к снижению напряжения пробоя и сокращению области надежной работы устройства (SOA).

Целью данной работы является исследование эффекта самонагревания на ВАХ дискретных мощных КНИ LDMOS-транзисторов *n*- и *p*-типов с субмикронными размерами канальной области. Понимание зависимости вклада самонагревания в ВАХ мощных КНИ LDMOS-транзисторов от тех или иных параметров позволит разрабатывать

микросхемы с лучшими рабочими характеристиками и откроет путь для дальнейшего совершенствования LDMOS-технологии.

2. ТЕХНОЛОГИЯ И СТРУКТУРА ТРАНЗИСТОРА

Тестовые высоковольтные LDMOS-транзисторы формировались на структуре КНИ с параметрами: толщина рабочего слоя кремния КНИ = 190 нм; толщина слоя изолирующего оксида BOX (изготовленного по технологии SIMOX) = 150 нм, удельное сопротивление кремниевой подложки *p*-типа 10–20 Ом см. Длина канала (*L*_{ch}) составляет 1.5 мкм, длина области дрейфа составляет 7.0 мкм. Общая длина устройства составляет 11.1 мкм. Конструкция предполагает работу КНИ LDMOS-транзистора в режиме частичного обеднения. Контакт к карману осуществляется за счет вставок в области истока с тем же типом проводимости, что и в кармане. Более подробно технология изготовления LDMOS-транзисторов описана в статьях [2, 7]. Профиль легирования рабочей области в ортогональной плоскости показан на рис. 2.

3. МЕТОДИКА ЭКСПЕРИМЕНТА

Исследования характеристик высоковольтных КНИ LDMOS-транзисторов проводились на аппаратно-программном комплексе, состоящем из параметрического анализатора B1500 (Keysight Technologies), зондовой станции PA200 (SUSS Microtech), термосистемы (АТТ), и позволяющем проводить измерения в диапазоне напряжений от –100 до 100 В, токов от –100 до 100 мА и температур от минус 60°С до плюс 300°С. Для *n*- и *p*-канальных LDMOS-транзисторов с длиной канала *L* = 1.5 мкм и шириной канала *W* = 18.05 мкм измерялась зависимость тока стока от напряжения на стоке при увеличении напряжения на стоке до максимального значения при последовательном увели-

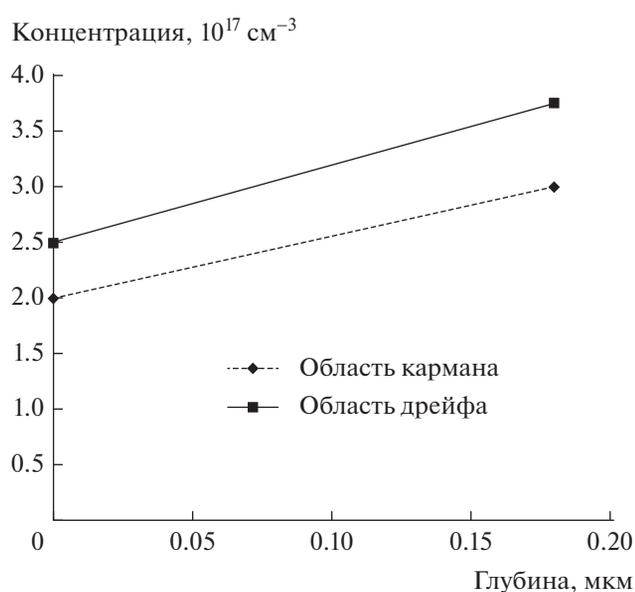


Рис. 2. Профили концентрации активной области.

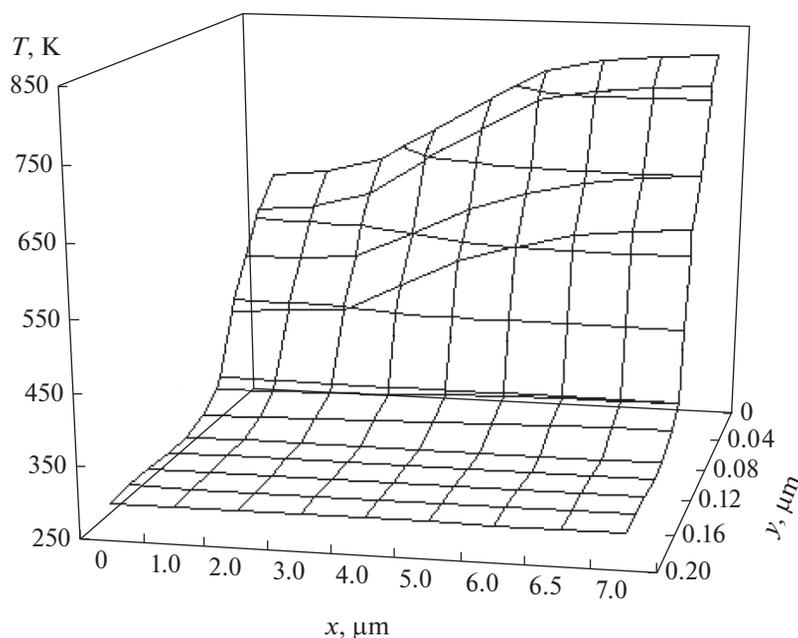


Рис. 3. Распределение температуры в области дрейфа в ее центральном разрезе при $U_{ds} = 75$ В и $U_{gs} = 5$ В, где ось x – направлена вдоль области дрейфа, ось y – направлена перпендикулярно области дрейфа по глубине, начало координат в точке пересечения левой границы области дрейфа и границы затвор- область дрейфа.

чений напряжения на затворе транзистора от 5 до 15 В с шагом 1 В.

Чтобы обеспечить точную модель КНИ LDMOS, необходимо проанализировать и понять ее электрическое поведение. Это требует разделения структуры устройства на определенные области [8]. Оно не является физическим, а предназначено только для лучшего понимания поведения устройства. Это помогает в моделировании токов в режиме низких затворных напряжений U_{gs} и служит основой для модели в режиме высоких напряжений U_{gs} и U_{ds} , где доминирующую роль играет паразитный продольный $n-p-n$ биполярный транзистор (BJT). В структуре КНИ LDMOS, в дополнение к лавинному умножению носителей из-за ударной ионизации, существует еще один эффект, обусловленный ударной ионизацией, из-за наличия BJT транзистора. После его включения затвор LDMOS-транзистора начинает терять контроль над выходным током, поскольку ток BJT становится основным компонентом общего тока стока. Этот ток является дополнительным источником для нарастания ударной ионизации. Таким образом, напряжение U_{ds} теперь расходует главным образом для поддержания BJT включенным. Таким образом, даже несмотря на увеличение выходного тока, необходимый уровень U_{ds} для его генерации можно уменьшить. В предельном случае до напряжения насыщения коллектор-эмиттер, при котором BJT переводится в состояние насыщения. Фактически КНИ LDMOS становится не чув-

ствителен к изменению U_{ds} . Поэтому этот механизм может значительно ограничить SOA [3].

Когда U_{gs} превышает пороговое напряжение канала, носители аккумулируются у поверхности с образованием инверсионного слоя. Затвор простирается на часть области дрейфа, где приложенное напряжение вызывает состояние накопления под оксидом затвора. При повышении напряжения на стоке U_{ds} , электроны от истока будут перемещаться через инверсионный слой и дрейфовать через слой накопления в контакт стока. Транзистор КНИ LDMOS аналогичен в некотором роде классическому МОП транзистору (МОПТ). Таким образом, LDMOS можно рассматривать как МОПТ низкого напряжения последовательно с областью дрейфа. Преимущество этого подхода заключается в том, что уже имеющиеся модели на основе поверхностного потенциала могут быть использованы, и фокус может быть направлен на моделирование явлений, возникающих в области дрейфа.

В модели самонагрева повышение температуры в любой области устройства вычисляется по рассеянию мощности, происходящему в этой области [9]. Это предположение оправдано для нынешней структуры LDMOS, поскольку она имеет длинную область дрейфа. Однако, если ее длина становится значительно меньше, тепловая связь будет основным фактором повышения температуры в разных областях транзистора. Однако, в большинстве случаев такие структуры не имеют практической значимости из-за узкой SOA при больших

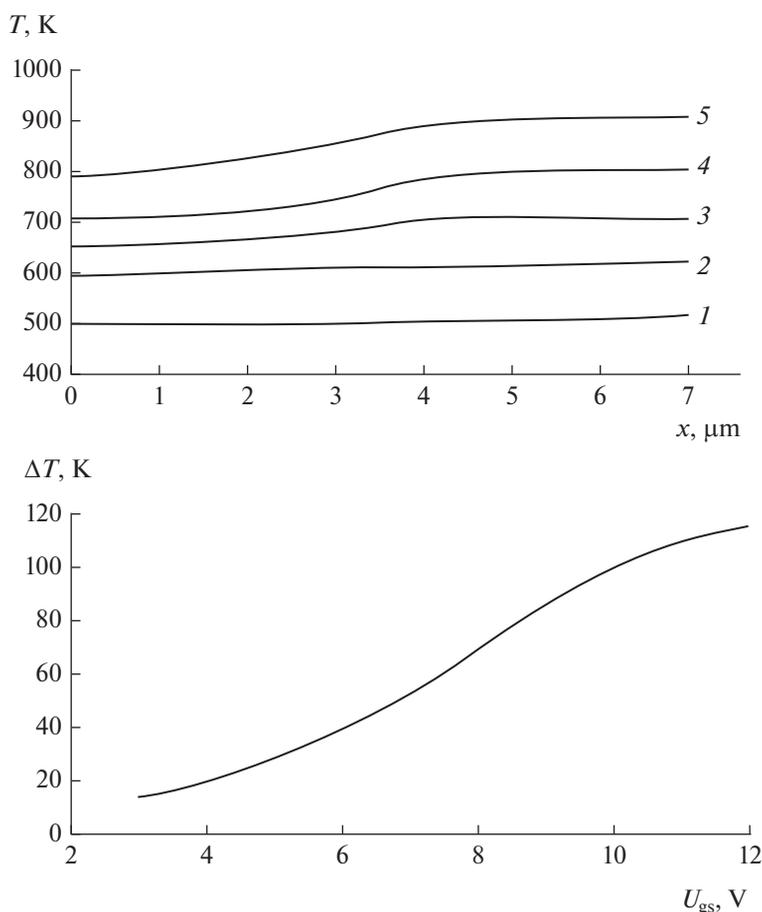


Рис. 4. (верхний) Распределение температуры T вдоль области дрейфа вблизи границы FOX-DRIFT (см рис. 1) при фиксированном $U_{ds} = 40$ В и разных U_{gs} , где 1 – $U_{gs} = 3$ В, 2 – $U_{gs} = 5$ В, 3 – $U_{gs} = 7$ В, 4 – $U_{gs} = 10$ В, 5 – $U_{gs} = 12$ В. (нижний) Зависимость разности температур ΔT на краях области дрейфа от напряжения на затворе U_{gs} .

напряжениях U_{ds} . Распределение температуры в структуре транзистора рассчитывается численно с использованием итерационного алгоритма во взаимодействии с программной средой COMSOL Multiphysics [10].

Токовая модель транзистора состоит из двух взаимосвязанных составляющих. Одна из которых – это токовая модель для режима сильной инверсии на основе температурно-зависимого распределения поверхностного потенциала [9, 11]. Другая – это модель для эффекта самонагрева. При любом заданном смещении выход рассеиваемой мощности электрической частью подается в качестве входного сигнала в тепловую модель, которая в свою очередь возвращает новую температуру. Зависящие от температуры величины в электрической модели пересчитываются с учетом новой температуры и возвращаются обратно. Цикл повторяется до тех пор, пока не будет достигнута конвергенция. Высокая температура снижает подвижность и скорость насыщения носителей, что приводит к уменьшению тока транзистора I_{ds} [6].

4. РЕЗУЛЬТАТЫ ИССЛЕДОВАНИЙ

Из анализа, проведенного при самонагревании устройства, был сделан вывод, что повышение температуры в устройстве можно изучать в режимах высокого и низкого тока отдельно. В обоих режимах тепло, выделяемое за счет токов устройства в кремниевой пленке, рассеивается через подложку через слой скрытого (захороненного) окисла. Подложка поддерживается при комнатной температуре, а кремниевая пленка находится при высокой температуре. Это отражает практический сценарий, когда чип охлаждается снизу. В данном случае это становится классической проблемой теплопроводности через материал, соединяющий два резервуара при разных температурах. В модели боковыми теплотерями в подложке пренебрегают.

Высокая плотность тока транзистора I_{ds} приводит к значительной рассеиваемой мощности, что в сочетании с низкой теплопроводностью скрытого окисла приводит к значительному повышению температуры. Из-за этого уровень тока

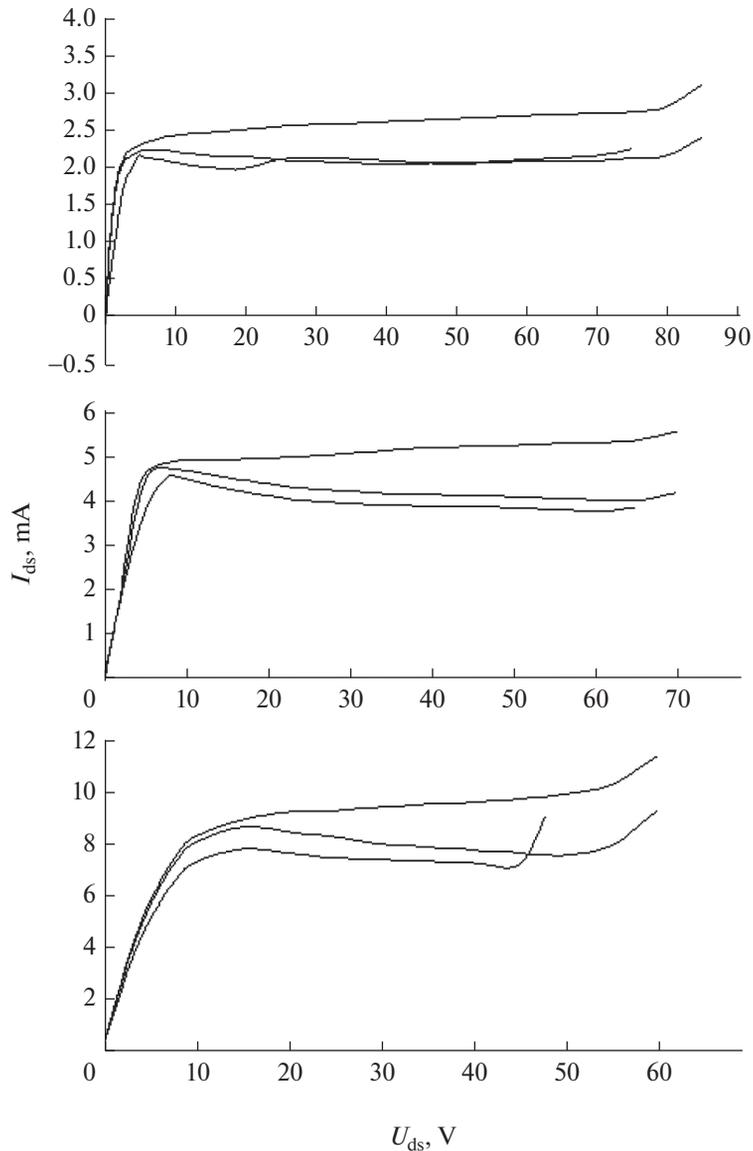


Рис. 5. ВАХ $I_{ds}(U_{ds})$ при разных U_{gs} и КНИ LDMOS, где верхний $U_{gs} = 5$ В, средний 7 В, нижний 10 В. На рисунках нижняя кривая – экспериментальные данные, средняя расчетная с учетом самонагрева, верхняя – расчетная без самонагрева.

I_{ds} падает с ростом U_{ds} . Это связано с тем, что подвижность носителей уменьшается из-за возрастания рассеяния решетки с температурой [6]. По мере увеличения рассеиваемой мощности и температуры с ростом U_{ds} выходной ток МОПТ уменьшается. С другой стороны, биполярный транзистор характеризуется механизмом теплового разгона, что приводит к увеличению токов с температурой [1, 3]. Таким образом, самонагревание инициируется паразитным ВТТ при гораздо более низких напряжениях и при более низких уровнях тока. С повышением температуры происходит снижение “напряжения включения самонагрева”, что напрямую уменьшает SOA.

Ключевой фрагмент распределения температуры в области дрейфа транзистора в вышеприведенных условиях при высоком напряжении на стоке показан на рис. 3. При моделировании подложка принимается в качестве теплового электрода, что отражает фактический сценарий, когда верхняя поверхность устройства теплоизолирована, в то время как охлаждение обеспечивается от подложки [9]. Как видно, пиковая температура возникает у стокового электрода вблизи границы между кремниевой пленкой и пленкой FOX и падает вдоль области дрейфа от стока к истоку. Температура падает внутри скрытого окисла BOX, пока не достигнет температуры 300 К на нижней грани подложки.

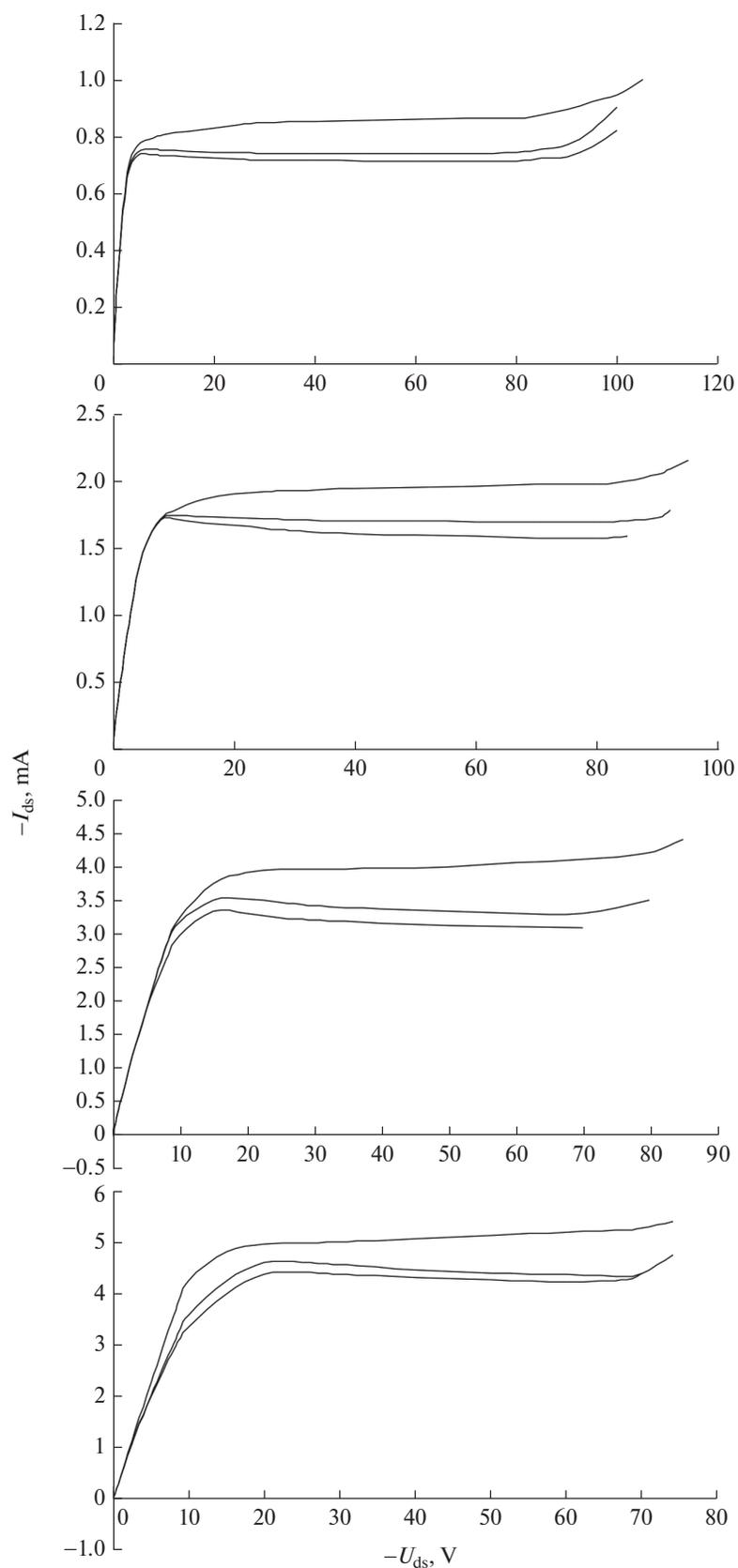


Рис. 6. ВАХ $I_{ds}(U_{ds})$ при разных U_{gs} p КНИ LDMOS, где верхний $U_{gs} = -5$ В, ниже -7 В, далее -10 В и -12 В, соответственно. На рисунках нижняя кривая – экспериментальные данные, средняя расчетная с учетом самонагрева, верхняя – расчетная без самонагрева.

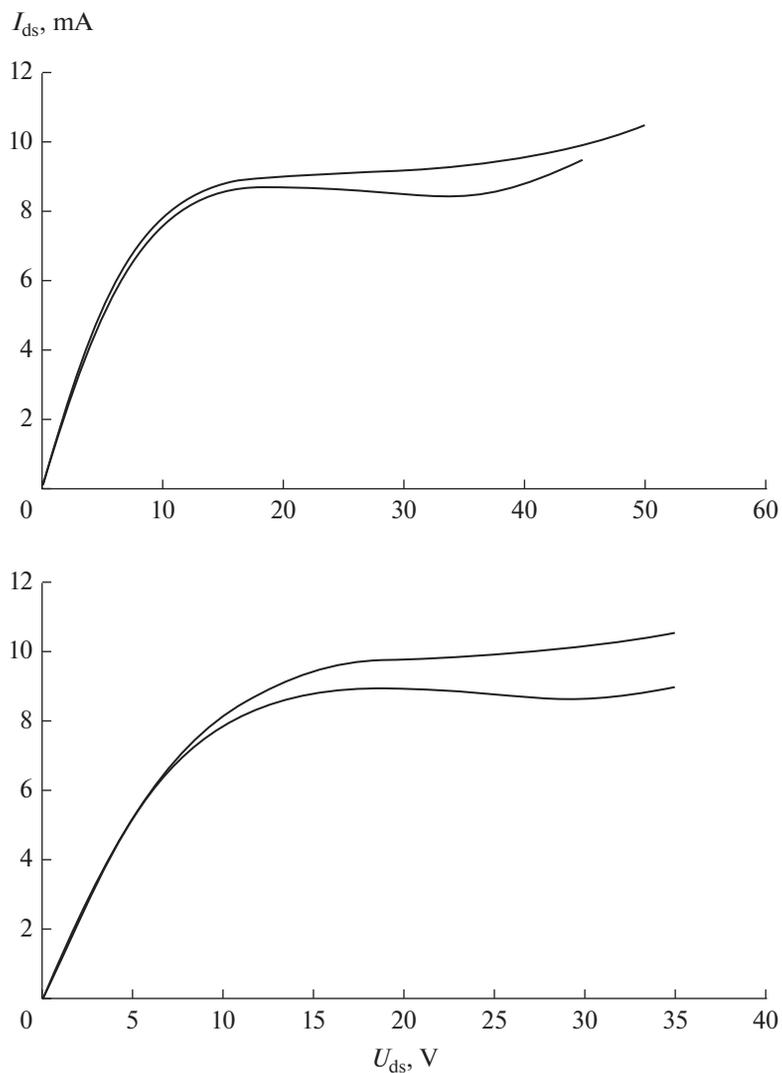


Рис. 7. ВАХ $I_{ds}(U_{ds})$ при разных U_{gs} , где верхний $U_{gs} = 12 \text{ В}$, нижний 15 В . На рисунках нижняя кривая расчетная с учетом самонагрева, верхняя – расчетная без самонагрева.

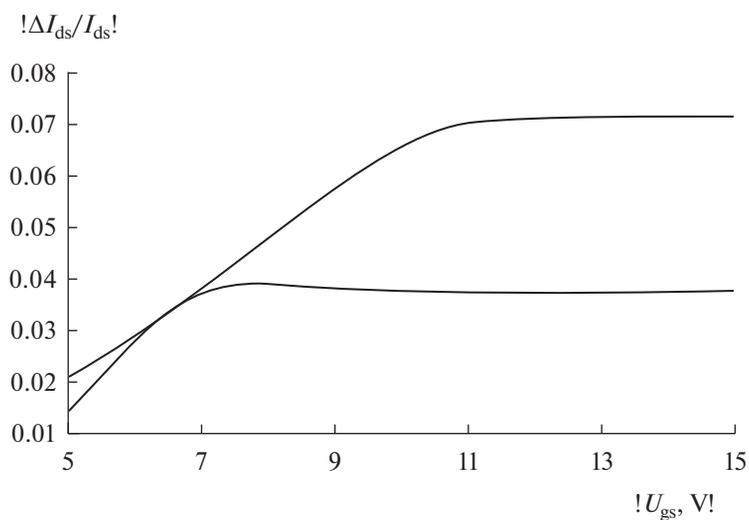


Рис. 8. Зависимость $\Delta I_{ds}/I_{ds}(U_{gs})$, где верхняя n -тип, нижняя p -тип.

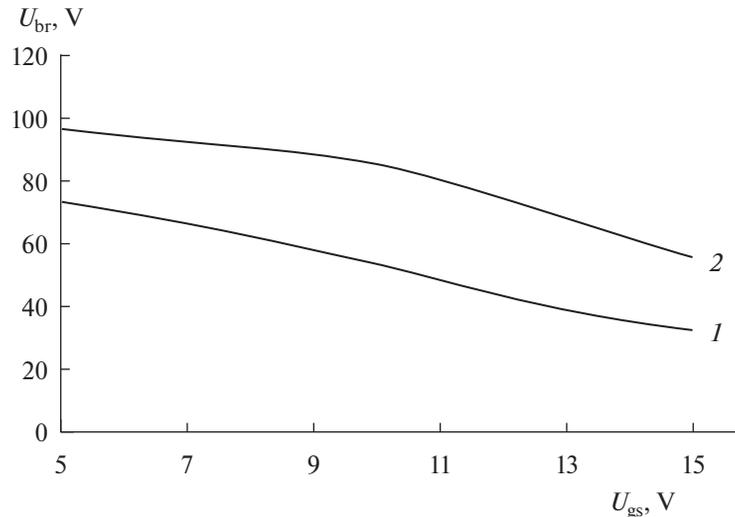


Рис. 9. Зависимость $U_{br}(U_{gs})$, где 1 – n -тип, 2 – p -тип. (Здесь значения U_{br} и U_{gs} взяты по модулю).

На рис. 4 показано распределение температуры в области дрейфа в зависимости от напряжения U_{ds} на стоке в объеме структуры. Из рисунка видно, в начальной части области дрейфа (при небольших расстояниях от границы канал-область дрейфа) при фиксированной величине U_{ds} распределение температуры более или менее равномерно по всей длине этой части. Затем начинается рост температуры, достигая максимальных значений на стоке. Это справедливо, учитывая, что плотность тока и падение потенциала наиболее высоки вблизи контакта стока, что приводит к огромной рассеиваемой мощности. Зависимость температуры от U_{ds} и U_{gs} в любой точке области дрейфа будет неравномерной.

На рис. 5–7 представлены результаты моделирования и измерений длинно канального транзистора при разных затворных напряжениях.

При устойчивой работе образца были получены оценки влияния эффекта самонагрева на ВАХ. При температуре нижней грани кристалла 25°C она составляет примерно 20% для n -типа и 17% для p -типа от тока стока в режиме без учета самонагрева (идеализированный случай). Поскольку ВАХ и ведут себя по-разному, мы выбрали некое усредненное значение тока стока с учетом самонагрева (и соответствующее значение напряжения) и сравнивали с идеализированным случаем. Таким образом, получена представленная выше оценка. Очевидно, что для разных затворных напряжений абсолютные значения будут отличаться.

Для высоких затворных напряжений отличия менее значимы, т.к. “включение” режима самонагрева практически совпадает с началом лавинного пробоя. Из приведенных результатов моделирования видны некоторые отличия ВАХ для двух режимов с и без самонагрева. В данном диапа-

зоне затворных напряжений влияние самонагрева существенно меньше, но следует учитывать, что транзистор находится еще в переходном режиме, температура его активной области меньше. Однако, высокий ток стока приводит к пробую и режим самонагрева в силу своей инерционности не проявляется в полной мере.

Для характеристики поведения тока при высоких напряжениях на стоке можно ввести параметр $\Delta I_{ds}/I_{ds}$ – относительный прирост тока при постоянном U_{gs} , где $\Delta I_{ds} = I_{ds}(U_{ds} = 50 \text{ В}) - I_{ds}(U_{ds} = 25 \text{ В})$ – разность токов транзистора при $U_{ds} = 25$ и 50 В, соответственно, и ток I_{ds} взят при $U_{ds} = 50 \text{ В}$.

На рис. 8 представлена динамика изменения параметра $\Delta I_{ds}/I_{ds}$ от U_{gs} . При низких затворных напряжениях из-за того, что проводимость МОПТ низкая, максимум напряженности поля располагается в области канала рядом с левой границей области дрейфа (у правого края затвора). Поэтому, в этой области скорость носителей уже достигает насыщения даже при невысоких U_{ds} . В то же время скорость носителей у границы сток-область дрейфа быстро возрастает с повышением напряжения U_{ds} . Это приводит к тому, что по мере повышения U_{ds} время пролета носителей вдоль области дрейфа уменьшается, а время пролета из канала в область дрейфа остается постоянным. Поэтому нарастание тока I_{ds} при повышении U_{ds} связано с увеличением концентрации носителей в области около стока из-за их высокой скорости вдоль области дрейфа. При этом относительный прирост тока стока I_{ds} оказывается весьма значительным.

При высоких U_{gs} картина противоположная. Из-за эффекта Кирка максимум напряженности поля смещается к границе сток-область дрейфа. При этом скорость носителей достигает насыще-

ния, что и ограничивает рост тока. На границе канал-область дрейфа напряженность поля низкая, поэтому число инжектированных носителей в область дрейфа увеличивается с ростом U_{ds} и значительно превышает число носителей, диффундирующих в сток, по причине, указанной выше. Таким образом, концентрация носителей возрастает с ростом U_{ds} , что и влечет небольшой рост тока I_{ds} . При этом относительный его прирост практически незначителен.

В условной точке, где меняется крутизна характеристики, наблюдается промежуточная ситуация. Напряженность поля на концах области дрейфа имеет практически одинаковое значение. Проводимость МОПТ такова, что концентрация инжектированных носителей хотя и превосходит концентрацию легирующей примеси в области дрейфа, но эффект Кирка еще выражен не настолько сильно. Соответственно скорость носителей во всей активной области примерно одинакова. Это приводит к тому, что при повышении U_{ds} концентрация носителей на границе DRIFT-сток растет достаточно медленно. Поэтому и рост тока замедляется.

Проанализируем зависимость напряжения пробоя U_{br} от затворного U_{gs} в диапазоне от 5 до 15 В. Эти зависимости для двух типов транзисторов приведены на рис. 9. Они иллюстрируют, что напряжение пробоя падает с ростом затворного напряжения. Для n транзистора эту зависимость можно считать либо близкой к линейной, либо кривой второго порядка. Мы оценили крутизну этой зависимости так: -4 В на 1 В. Для p -типа зависимость нелинейная, но с двумя характерными участками разной крутизны -3.6 В на 1 В и 5.8 В на 1 В, соответственно.

ЗАКЛЮЧЕНИЕ

На основе экспериментальных данных численно исследован вклад эффекта самонагрева в ВАХ высоковольтных LDMOS с большой областью дрейфа n - и p -типов транзисторов, выполненных по технологии “кремний на изоляторе” с топологическими нормами 0.5 микрон в широком диапазоне управляющих напряжений и температуре 25°C . Из результатов моделирования на апробированной токовой модели с учетом механизма самонагрева видно, что действие механизма самонагрева существенно изменяет ВАХ транзисторов. Относительное уменьшение максимального тока n -транзистора достигает 20%, p -транзистора до 17%. Получена теоретическая оценка крутизны зависимости напряжения пробоя от напряжения на затворе в диапазоне 5–15 В. Для n -типа крутизна практически постоянна и составляет -4 В на вольт и примерно такая же, но

усредненная, для p -типа. Проанализировано поведение ВАХ КНИ LDMOS при высоких напряжениях на стоке и выявлена разная динамика квазинасыщения транзисторов n - и p -типа.

Полученные результаты исследования зависимости вклада самонагрева в ВАХ высоковольтных КНИ LDMOS-транзисторов с длинной областью дрейфа от управляющих напряжений и технологических параметров открывает и новые возможности улучшения характеристик микросхем при их разработке и методы дальнейшего совершенствования LDMOS-технологии.

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН на 2022 год (Проведение фундаментальных научных исследований (47 ГП)) по теме НИР “1021060909091-4-1.2.1 Фундаментальные и прикладные исследования в области литографических пределов полупроводниковых технологий и физико-химических процессов травления 3D нанометровых диэлектрических структур для развития критических технологий производства ЭКБ. Исследование и построение моделей и конструкций элементов микроэлектроники в расширенном диапазоне температур (от -60 до $+300^\circ\text{C}$) (FNEF-2022-0006)”.

СПИСОК ЛИТЕРАТУРЫ

1. Kumar B., Shrivastava M. On the unification of physics of quasi-saturation in LDMOS devices // IEEE Trans. Electron Devices. 2018. V. 65. № 1. P. 191–198.
2. Babkin S.I., Volkov S.I., Glushko A.A., Morozov S.A., Novoselov A.S., Stolyarov A.A. High voltage LDMOS transistors on an SOI structure for electronic that operate extreme conditions // Russian Microelectronics. 2020. V. 49. № 4. pp. 285–294.
3. Wang L., Wang J., Gao C., Hu J., Li P.Z.X., Li W., Yang S.H.Y. Physical description of quasi-saturation and impact ionization effects in high-voltage drain-extended MOSFETs // IEEE Trans. Electron Devices. 2009. V. 56. № 3. P. 492–498.
4. Theeuwes S.J.C.H., Qureshi J.H. LDMOS technology for RF power amplifiers // IEEE Transactions on Microwave theory and Techniques. 2012. V. 60. № 6. P. 1755–1763.
5. Apples J.A., Vaes H.M.J. High voltage thin layer devices (RESURF devices) // EDM Tech. Dig. 1979. V. 25. P. 238.
6. Зу С. Физика полупроводниковых приборов. М.: Мир, 1984.
7. Babkin S.I., Baidakov D.A., Volkov S.I., Glushko A.A., Morozov S.A., Novoselov A.S., Stolyarov A.A. Development of technology for the formation of highvoltage LDMOSSOI transistors for extreme electronics // Tr. NIISI RAN. 2018. V. 8. № 3. pp. 31–37.
8. Vestling L. Design and modeling of high-frequency LDMOS transistors // Acta Unisersitatis Upsaliensis. 2002.