

## МОДЕЛИРОВАНИЕ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ МИКРОЭЛЕКТРОНИКИ

УДК 621.382.323+621.315

# МАСКИРОВАНИЕ ИМПУЛЬСОВ ПОМЕХ ПРИ СБОРЕ ЗАРЯДА С ТРЕКОВ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ В МАЖОРИТАРНОМ ЭЛЕМЕНТЕ НА ОСНОВЕ КМОП ЛОГИКИ И-НЕ

© 2022 г. В. Я. Стенин<sup>a, b, \*</sup>, Ю. В. Катунин<sup>a, \*\*</sup>

<sup>a</sup>НИИ системных исследований Российской академии наук,  
Нахимовский проспект, д. 36, к. 1, Москва, 117218 Россия

<sup>b</sup>Национальный исследовательский ядерный университет “МИФИ”,  
Каширское шоссе, д. 31а, Москва, 115409 Россия

\*E-mail: [vystenin@mephi.ru](mailto:vystenin@mephi.ru)

\*\*E-mail: [katunin@cs.niisi.ras.ru](mailto:katunin@cs.niisi.ras.ru)

Поступила в редакцию 30.03.2021 г.

После доработки 01.04.2021 г.

Принята к публикации 15.05.2021 г.

Приводятся результаты моделирования процессов маскирования помех, возникающих при сборе заряда транзисторами с треков одиночных ионизирующих частиц с линейным переносом энергии 60 МэВ см<sup>2</sup>/мг в мажоритарном элементе на основе КМОП логики И-НЕ. Моделирование проведено с использованием 3D TCAD физических моделей КМОП транзисторов по проектной норме 65 нм объемной технологии с мелкой траншейной изоляцией групп транзисторов. Сбор заряда с трека приводит к образованию импульсов помех. Мажоритарный элемент имеет оригинальную топологическую структуру, в которой транзисторы выходного логического элемента 3И-НЕ по одному введены в соответствующие группы транзисторов трех входных элементов 2И-НЕ. Особенностью мажоритарного элемента является маскирование помех (блокирование их передачи на выход), возникающих при сборе заряда с трека после переключения элемента по входам из “0” в “1” и до переключения элемента по входам из “1” в “0”. При маскировании не возникает импульсов помех на выходе мажоритарного элемента.

**Ключевые слова:** импульс помехи, логический элемент, мажоритарный элемент, маскирование помех, моделирование, одиночная частица, сбор заряда, трек

**DOI:** 10.31857/S0544126922010094

## 1. ВВЕДЕНИЕ

Для минимизации, компенсации и блокировки переходных эффектов воздействия одиночных ионизирующих частиц (single effect transients – SET) в виде импульсов помех используют топологические [1] и схемотехнические методы, например, С-элементы [2, 3], методы резервирования [4], включая методические вопросы использования маскирования [5] импульсов помех (SET), а также примеры повышения надежности кодеров-декодеров в составе оперативных запоминающих устройств [6].

При этом необходим и анализ специфических особенностей мажоритарных элементов, например, проведенный при одновременном переключении элемента на основе логики И и ИЛИ по входам и сборе заряда с трека одиночной частицы [7]. В данной работе речь идет о логическом маскировании состояния выхода мажоритарного элемента комбинациями сигналов на входах элемента как защите от помех при воздействии оди-

ночных ионизирующих частиц, что практически отсутствует в публикациях, посвященных КМОП мажоритарной логике. Результаты исследования преимуществ такого варианта мажоритарного элемента на основе КМОП логики И-НЕ, который содержит всего 18 транзисторов, перед другими вариантами дано в работе [8].

Цель данной работы – моделирование средствами 3D TCAD маскирования импульсов помех, возникающих при сборе заряда с треков одиночных частиц в мало транзисторном перспективном мажоритарном элементе на логике И-НЕ по проектной норме объемный КМОП 65 нм.

## 2. МАЖОРИТАРНЫЙ ЭЛЕМЕНТ НА КМОП И-НЕ ЛОГИКЕ

### 2.1. Схема и эскиз топологии

Достоверным результатом передачи тройным мажоритарным элементом сигналов с входов является выходной сигнал, который совпадает как

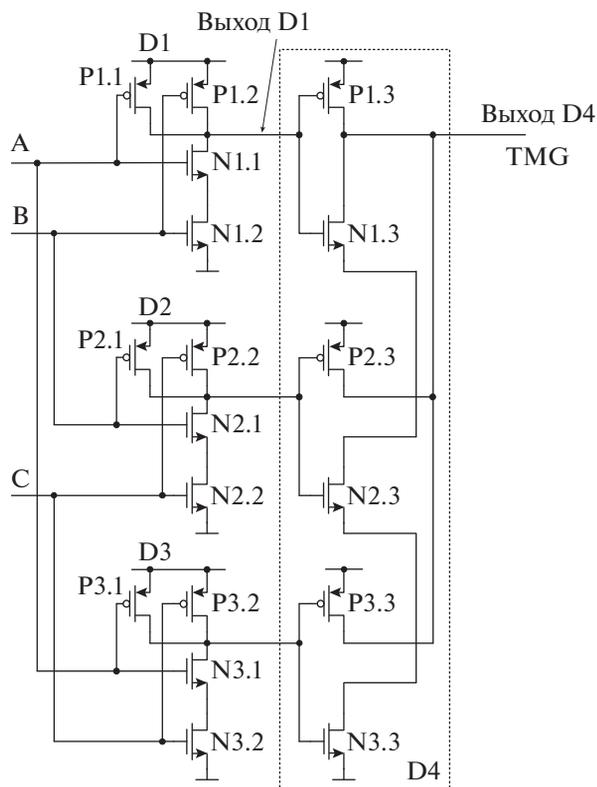


Рис. 1. Схема КМОП тройного мажоритарного элемента на И-НЕ логических элементах.

минимум с двумя значениями входных сигналов из трех. На рис. 1 приведены схема тройного мажоритарного элемента на основе логики И-НЕ. Первая цифра в обозначениях транзисторов на рис. 1 соответствует номеру элемента 2И-НЕ D1, D2, D3, а вторая – номеру транзистора в этих эле-

ментах. На рис. 2 приведен эскиз топологии мажоритарного элемента, где транзисторы элементов D1, D2, D3 расположены в отдельных областях кремния, которые окружены мелкой траншейной изоляцией диэлектриком (диоксидом кремния) до глубины 400 нм, полосы с штриховкой обозначают затворы транзисторов, звездочками отмечены точки входа треков одиночных частиц.

РМОП транзисторы элемента 3И-НЕ D4 введены в соответствующие группы РМОП транзисторов элементов 2И-НЕ D1, D2, D3 и пронумерованы в соответствии с нумерацией транзисторов в этих группах элементов, где они расположены. NМОП транзистор N3.3 элемента 3И-НЕ D4 включен в группу Gr3N совместно с NМОП транзисторами N3.1 и N3.2 элемента D3.

Группа NМОП транзисторов Gr3N и группы РМОП транзисторов Gr1P, Gr2P, Gr3P, содержащие по три транзистора, выполнены в областях кремния размером  $885 \times 400$  нм. Транзисторы N1.1, N1.2, а также N2.1, N2.2 элементов D1 и D2 выполнены в отдельных областях кремния размером  $590 \times 400$  нм. Прямоугольное обрамление транзисторов на рис. 2 сплошными линиями показывает границы мелкой траншейной изоляции. NМОП транзисторы N1.3 и N2.3 элемента D4 по конструктивным причинам выполнены каждый в отдельной области кремния  $360 \times 400$  нм и изолированы слоем траншейной изоляции толщиной 120 нм от областей NМОП транзисторов элементов D1 и D2 (рис. 2).

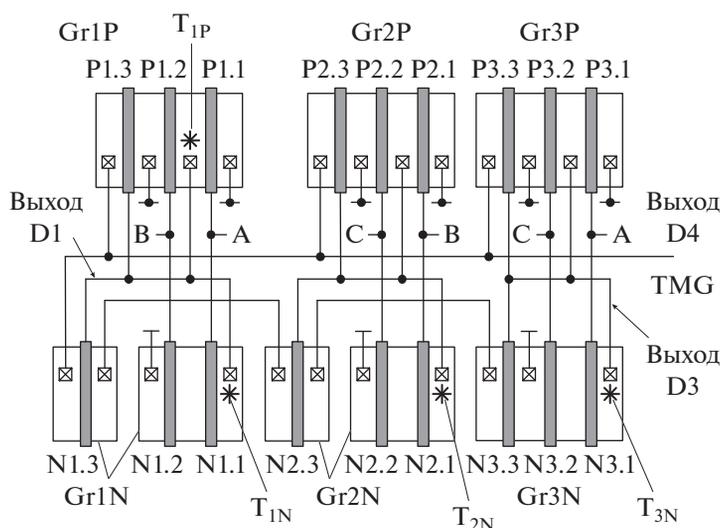
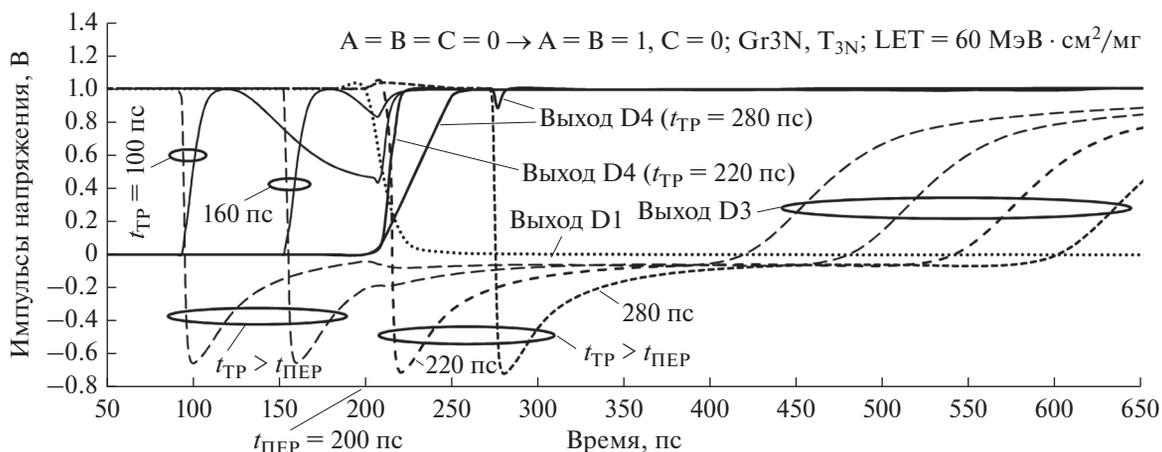


Рис. 2. Эскиз топологии, входы элемента обозначены как А, В, С, а выход как “Выход D4/TMG”.



**Рис. 3.** Переключение входов из “0” в “1” ( $A = B = C = 0 \rightarrow A = B = 1, C = 0$ ) при  $t_{ПЕР} = 200$  пс; опережающее переключение выхода D4 мажоритарного элемента сбором заряда с трека (треки с  $t_{ТР} = 100, 160$  пс), маскирование импульсов помех с выхода D3 (треки с  $t_{ТР} = 220$  и  $280$  пс), маскирует значение “0” на выходе элемента D1; точка входа трека  $T_{3N}$  в группу Gr3N;  $LET = 60$  МэВ · см<sup>2</sup>/мг; жирными линиями даны зависимости D4 после переключения элемента по входам.

**2.2. Особенности моделирования сбора заряда транзисторами с трека частицы**

Воздействие одиночной ионизирующей частицы на кремниевые элементы приводит к образованию вдоль ее трека неравновесных носителей заряда. Заряды выводятся в виде импульсов тока через обратные смещенные *pn* переходы МОП транзисторов, вызывая импульсы напряжения помех на выходах элементов D1-D3, которые могут исказить логические уровни сигналов на выходе мажоритарного элемента.

Как тестовые воздействия использованы треки частиц по нормали к поверхности модели элемента. На рис. 2 приведены точки входа треков  $T_{1N}-T_{3N}$  и  $T_{1P}$  в области NМОП транзисторов групп Gr1N-Gr3N и PМОП транзисторов группы Gr1P. Ширина каналов всех транзисторов равна 400 нм. Энергетическая составляющая генерации заряда на треке характеризуется [9] линейной передачей энергии частицей на трек – (linear energy transfer – LET). При моделировании использовались треки с  $LET = 60$  МэВ · см<sup>2</sup>/мг; образование трека при 100 пс. Результаты 3D TCAD моделирования получены с использованием симулятора Sentaurus Device при температуре 25°С и напряжении питания 1.0 В и 3D TCAD физических моделей транзисторов, приведенных в работе [10]. В 3D TCAD моделировании участвуют все 18 транзисторов мажоритарного элемента.

**3. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ МАСКИРОВАНИЯ ИМПУЛЬСНЫХ ПОМЕХ**

Любая из четырех комбинаций сигналов на входах элементов D1-D3, именно: 1)  $A = B = C = 1$ ; 2)  $A = B = 1, C = 0$ ; 3)  $A = 0, B = C = 1$ ; 4)  $A = C = 1, B = 0$ , обеспечивает уровень “1” на выходе эле-

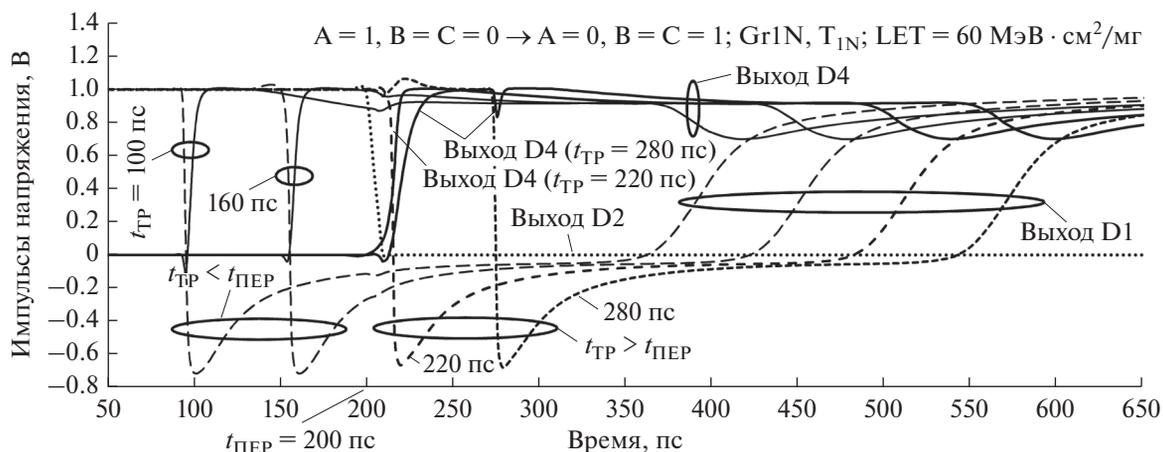
мента D4. При этом, если при воздействии одиночной ионизирующей частицы сохраняется даже на одном из выходов элементов D1-D3 уровень логического нуля, то это поддерживает “1” на выходе элемента D4 при возникновении помех на других выходах из D1-D3.

**3.1. Маскирование помех после переключения по входам из “0” в состояние “1”**

**3.1.1. Опережающее переключение. Маскирование выходным сигналом элемента D1**

На рис. 3 приведены зависимости импульсов напряжения на выходах элементов D1, D3 и D4 мажоритарного элемента при сборе NМОП транзисторами заряда с трека одиночной частицы, когда реализуется опережающее переключение выхода D4 мажоритарного элемента сбором заряда с трека (треки с  $t_{ТР} = 100$  пс,  $160$  пс) и маскирование импульсов помех с выхода D3 (треки с  $t_{ТР} = 220$  пс,  $280$  пс) значением “0” на выходе элемента D1. Зависимости на рис. 3 приведены для случая, когда трек  $T_{3N}$  с точкой входа в область NМОП транзисторов группы Gr3N, в которую входят транзисторы N3.1, N3.2 элемента D3 и транзистор N3.3 элемента D4. Линейная передача энергии на трек  $LET = 60$  МэВ · см<sup>2</sup>/мг. Переключение входов мажоритарного элемента происходит из “0” в “1” ( $A = B = C = 0 \rightarrow A = B = 1, C = 0$ ) при  $t_{ПЕР} = 200$  пс. На зависимостях на рис. 3 установившимися в итоге переключения значениями как выхода D3, так и выхода D4 являются логические единицы “1”. Жирными линиями на рис. 3, а также на остальных далее, даны зависимости D4 после переключения элемента по входам.

Сбор заряда транзисторами N3.1, N3.2 (оба заперты до начала сбора заряда с трека  $T_{3N}$ ) сразу



**Рис. 4.** Переключение входов из “0” в “1” ( $A = 1, B = C = 0 \rightarrow A = 0, B = C = 1$ ) при  $t_{\text{ПЕР}} = 200$  пс; опережающее переключение выхода D4 мажоритарного элемента сбором заряда с трека (треки с  $t_{\text{ТР}} = 100$  и  $160$  пс), маскирование импульсов помех с выхода D1 (треки с  $t_{\text{ТР}} = 100; 160; 220; 280$  пс), маскирует значение “0” на выходе элемента D2; точка входа трека T<sub>IN</sub> в группу Gr1N; LET = 60 МэВ · см<sup>2</sup>/мг.

переключает эти транзисторы в инверсное смещение (с переходом выхода элемента D1 в логическое состояние нуля “0”). Далее следует переключение инвертором на транзисторах P1.3, N1.3 выхода элемента D4 в состояние логической единицы “1”. Таким образом при сборе заряда электронов с трека T<sub>3N</sub> происходит опережающее, до смены сигналов на входах A, B, C, переключение выхода элемента D3 в “0”, а выхода D4 в “1”. Затем емкость выходного узла элемента D3 начинает заряжать ток открытых транзисторов P3.1, P3.2 группы Gr3P, что повышает напряжение на выходе D3, а через инвертор на транзисторах P3.3, N3.3 снижает напряжение на выходе D4. Это происходит при сборе заряда с трека T<sub>3N</sub> при  $t_{\text{ТР}} = 100$  пс и  $t_{\text{ТР}} = 160$  пс до переключения входов A, B, C (рис. 3).

После смены сигналов на входах A, B, C, транзисторы N3.1, N3.2 остаются в состоянии инверсного смещения, что сохраняет выход D4 в состоянии логической единицы “1” после переключения входов из “0” в “1”. При этом на выходах элементов D2 и D3 поддерживаются логические уровни “1”, что не влияет на уровень логической единицы “1” на выходе элемента D4, который сохраняется благодаря маскирующему эффекту сигнала “0” на выходе элемента D1, который блокирует влияние выходов элементов D2 и D3 на элемент D4.

Через 20 пс для трека с  $t_{\text{ТР}} = 220$  пс и через 50 пс для трека с  $t_{\text{ТР}} = 280$  пс после переключения входов из  $A = B = C = 0$  на  $A = B = 1, C = 0$  при  $t_{\text{ПЕР}} = 200$  пс на выходе D1 устанавливается уровень логического нуля “0” и далее следует сбор заряда с трека T<sub>3N</sub> при  $t_{\text{ТР}} = 220$  пс или  $t_{\text{ТР}} = 280$  пс NМОП транзисторами группы Gr3N из исходного состояния 1В на выходе D3, и NМОП транзисторы N3.1, N3.2 переходят в инверсное смещение. Сигнал с выхода D3 инвертируется транзисторами P3.3,

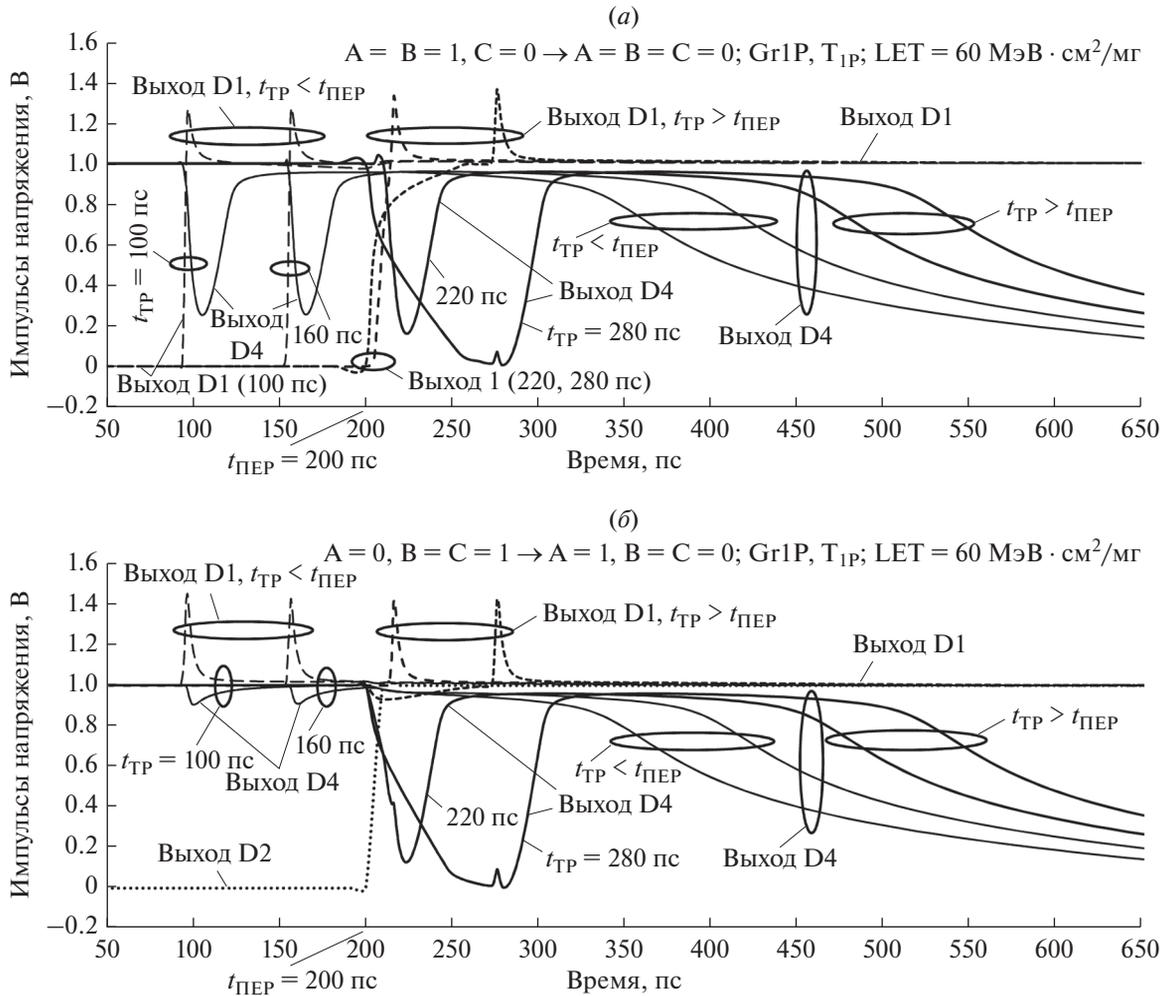
N3.3 элемента D4 в выходной сигнал “1”. Маскирование в случае трека через группу Gr3N осуществляет “0” на выходе D1 (рис. 3).

### 3.1.2. Опережающее переключение. Маскирование выходным сигналом элемента D2

На рис. 4 приведен пример, когда переключение входов происходит также из “0” в “1” как на рис. 3, но с другой комбинацией сигналов на входах ( $A = 1, B = C = 0 \rightarrow A = 0, B = C = 1$ ). Зависимости импульсов напряжения на выходах элементов D1, D2 и D4 мажоритарного элемента на рис. 4 приведены также для случая, когда реализуется опережающее переключение выхода D4 мажоритарного элемента сбором заряда с трека (треки с  $t_{\text{ТР}} = 100$  пс,  $160$  пс), но маскирование импульсов помех с выхода D1 (треки с  $t_{\text{ТР}} = 100, 160, 220, 280$  пс) осуществляется значением “0” на выходе элемента D2. Точка входа трека T<sub>IN</sub> в группу транзисторов Gr1N при LET = 60 МэВ · см<sup>2</sup>/мг.

На зависимостях на рис. 4 установившимся в итоге переключения значением как выхода D4, так и выхода D1 является логическая единица “1”, и маскирование в данном случае возрастание до “1” после переключения входов уровня сигнала на выходе элемента D1 от помех обеспечивал логический ноль “0” на выходе D2. Во время маскирования установление завершающего состояния “1” на выходе D1 (рис. 4) обеспечивается зарядом емкости выходного узла D1 током открытого транзистора P1.1.

Результат маскирования, представленного на рис. 4 заключается в блокировании попыток смены сигнала “1” на выходе D4 инвертором на транзисторах P1.3, N1.3 во время увеличения напряжения на его входе при заряде емкости выходного



**Рис. 5.** Переключение входов из “1” в “0”, точка входа трека  $T_{1P}$  в группу  $Gr1P$ ;  $LET = 60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ ; образование импульсов помех положительной полярности на выходе мажоритарного элемента  $D4$  сбором заряда с трека после переключения в “0” сигналов на входах (треки с  $t_{TR} = 220$  и  $280$  пс): (а) смена сигналов на входах  $A = B = 1, C = 0$  в  $A = B = C = 0$ ; опережающее переключение выхода  $D4$  (треки с  $t_{TR} = 100$  и  $160$  пс), неудавшееся маскирование помехи; (б) смена сигналов на входах  $A = 0, B = C = 1$  в  $A = 1, B = C = 0$ ; маскирование импульсов помех с выхода  $D1$  (треки с  $t_{TR} = 100$  и  $160$  пс), маскирует значение “0” на выходе элемента  $D2$ .

узла  $D1$  до 1 В. В итоге маскирования происходит при  $t = 350$  пс снижение напряжения на выходе  $D4$  на рис. 4 лишь до уровня 0.7 В, а затем выходной сигнал на  $D4$  возвращается на уровень 1 В при сборе заряда с треков с  $t_{TR} = 100, 160, 220$  и  $280$  пс. Если бы не было этого маскирования помех, то инвертор на транзисторах  $P1.3, N1.3$  переключал бы выход  $D4$  в состояние “0”, и затем началось бы образование помех отрицательной полярности.

**3.2. Маскирование помех в состоянии “1” до переключения в “0”. Переключение с дополнительной задержкой**

На рис. 5 приведены примеры, иллюстрирующие влияние комбинаций логических сигналов на входах мажоритарного элемента на маскирова-

ние помех. Так, при сборе заряда с трека  $T_{1P}$  с точкой входа в область РМОП транзисторов группы  $Gr1P$  при исходном входном логическом состоянии “1” на входе, заданном комбинацией входных сигналов  $A = B = 1, C = 0$  не происходит маскирование уровня “1” на выходе  $D4$  от помех (рис. 5а), а при комбинации входных сигналов  $A = 0, B = C = 1$  маскирование происходит (рис. 5б).

Разница маскирования связана с тем, что при  $A = B = 1$  (зависимости на рис. 5а) сбор заряда с трека  $T_{1P}$  РМОП транзисторами  $P1.1, P1.2$  группы  $Gr1P$  вызывает опережающее переключение выхода  $D4$  в “0”, что одновременно заменяет маскирующий уровень “0” на выходе  $D1$  на состояние “1”, что исключает маскирование. В случае комбинации уровней сигналов на входах  $B = C = 1$  (зависимости на рис. 5б) сбор заряда с трека  $T_{1P}$  РМОП транзисторами  $P1.1, P1.2$  группы  $Gr1P$  не

**Таблица 1.** Свойства мажоритарного элемента на основе КМОП логики И-НЕ, проявляемые при разных комбинациях сигналов на входах при сборе заряда с треков одиночных частиц  $T_{1N}$ ,  $T_{2N}$ ;  $T_{3N}$ ,  $T_{1P}$  с линейным переносом энергии частицей на них  $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$

1	Характер переключения	“0” → “1”		“1” → “0”	
2	Состояние сигналов на входах до после переключения	$A = B = C = 0 \text{ В}$ $A = B = 1, C = 0$	$A = 1, B = C = 0 \text{ В}$ $A = 0, B = C = 1$	$A = B = 1, C = 0 \text{ В}$ $A = B = C = 0$	$A = 0, B = C = 1 \text{ В}$ $A = 1, B = C = 0$
3а	Опережающее переключение, $Gr1N$ , $T_{1N}$ ; $Gr2N$ , $T_{2N}$ ; $Gr3N$ , $T_{3N}$	Есть	Есть	Нет	Нет
3б	Опережающее переключение, $Gr1P$ , $T_{1P}$	Есть	Есть	Есть	Нет
4а	Переключение с дополнительной задержкой, $Gr1N$ , $T_{1N}$ ; $Gr2N$ , $T_{2N}$ ; $Gr3N$ , $T_{3N}$	Нет	Нет	Есть $t_{3д} = 125\text{--}180 \text{ пс}$	Есть $t_{3д} = 280\text{--}340 \text{ пс}$
4б	Переключение с дополнительной задержкой, $Gr1P$ , $T_{1P}$	Нет	Нет	Нет	Есть $t_{3д} = 215\text{--}270 \text{ пс}$ рис. 5б
5а	Импульс помехи после переключения, $Gr1N$ , $T_{1N}$ ; $Gr2N$ , $T_{2N}$ ; $Gr3N$ , $T_{3N}$	Нет	Нет	Есть $t_{имп} = 230 \text{ пс}$	Есть $t_{имп} = 380 \text{ пс}$
5б	Импульс помехи до и после переключения, $Gr1P$ , $T_{1P}$	Нет	Нет	Есть $t_{имп} = 250 \text{ пс}$ рис. 5а	Есть $t_{имп} = 250 \text{ пс}$ рис. 5б
6а	Маскирование, $Gr1N$ , $T_{1N}$ ; $Gr2N$ , $T_{2N}$ ; $Gr3N$ , $T_{3N}$	Есть (после переключения)	Есть (после переключения)	Есть (до переключения)	Есть (до переключения)
6б	Маскирование, $Gr1P$ , $T_{1P}$	Нет	Есть (после переключения)	Нет	Есть (до переключения)

влияет на маскирующий уровень “0” на выходе элемента D2, поэтому маскирование осуществляется при сборе заряда с треков с  $t_{TP} = 100 \text{ пс}$  и  $t_{TP} = 160 \text{ пс}$ .

В обоих случаях переходные процессы после переключения одинаковые. Сбор заряда с трека  $T_{1P}$  запертыми транзисторами P1.1, P1.2 переключает выход D1 с 0 В до 1.25 В (рис. 5а), вызывая кратковременный переход транзисторов P1.1, P1.2 в инверсное смещение, что переключает выход инвертора на транзисторах P1.3, N1.3 элемента D4 с 1.0 В до уровня 0.25 В (“0”), запирает транзистор P1.3 элемента D4, который начинает собирать заряд дырок с трека, повышая напряжение на выходе D4 до 0.95 В, что является началом образования импульса помехи положительной полярности на выходе D4 с длительностью 250 пс.

Маскирование, то есть поддержание напряжения 0 на выходе элемента D2 при сборе заряда с трека  $T_{1P}$ , сохраняет открытым РМОП транзистор P2.3 элемента D4 и блокирует переключение выхода D4 в состояние “0” при треках с  $t_{TP} = 100 \text{ пс}$  и  $t_{TP} = 160 \text{ пс}$  до переключения входов. При этом отмечается небольшое снижение напряжения на выходе D4 всего до 0.9 В (рис. 5б) в отличие от

снижения до уровня 0.25 В без маскирования (рис. 5а).

После смены сигналов А, В, С транзисторы P1.1, P1.2 открываются, а запертый транзистор P1.3 продолжает собирать заряд с трека  $T_{1P}$ , начиная и завершая формирование импульсов помех положительной полярности, образованных сбором заряда с треков с  $t_{TP} = 100, 160, 220, 280 \text{ пс}$ . Оканчивается импульс, когда ток цепочки открытых транзисторов N1.3, N2.3, N3.3 элемента D4 разрядит емкость выходного узла элемента D4 до уровня нуля “0” (рис. 5а, б).

#### 4. ВЫВОДЫ ПО РЕЗУЛЬТАТАМ МОДЕЛИРОВАНИЯ

В табл. 1 приведены ответы на наличие определенных свойств мажоритарного элемента на основе КМОП логики И-НЕ, таких как опережающее переключение, переключение с дополнительной задержкой, возникновение импульса помехи после переключения по входам, а также проявление маскирования входными сигналами передачи помехи на выход элемента в логическом состоянии

единица “1”. При возникновении дополнительной задержки или импульса помехи после переключения элемента по входам в табл. приводятся значения этих параметров. Значения дополнительных задержек находятся в пределах от 125 до 340 пс, а импульсов помех от 230 до 380 пс.

1. Сбор заряда с трека транзисторами приводит к опережающему переключению мажоритарного элемента до смены сигналов на входах элемента при треках через группу запертых транзисторов, и к дополнительной задержке переключения при сборе заряда с трека через группу открытых транзисторов как до, так и после переключения элемента по входам. Максимальная длительность опережения переключения не может превышать длительности нестационарного состояния элемента, которая совпадает с длительностью импульса помехи, возникающего после смены сигналов на входах.

2. Импульс помехи на выходе мажоритарного элемента может возникать как после опережающего переключения сбором заряда с трека, так и после переключения элемента по входам.

3. Конструктивное добавление к группам из двух РМОП транзисторов элементов D1-D3 по одному из РМОП транзисторов элемента D4 и размещение их в областях кремния, изолированных мелкой траншейной изоляцией, позволило осуществить переключение в запертое состояние РМОП транзистора элемента D4, находящегося в этой области кремния, используя весьма краткий импульс длительностью 10–15 пс, который возникает, когда РМОП транзистор каждого из элементов D1-D3 переходит в инверсное смещение при сборе им заряда с трека, проходящего через соответствующую область кремния.

4. Состояние, когда на выходе хотя бы одного из элементов D1-D3 сохраняется логическое состояние “0”, и это поддерживает на выходе элемента D4 состояние “1” без образования импульса помехи, является проявлением маскирования импульсов помех, возникающих на выходах других элементов из трех D1-D3. Маскирование не работает, если тот из элементов D1-D3, у которого исходная комбинация входных сигналов обеспечивает на его выходе “0” (пример, когда выход D1 был “0”) сам собирает заряд с трека частицы и переходит в состояние “1”, становясь активным участником переходного процесса в мажоритарном элементе, а не остается участником лишь процесса маскирования помех.

## 5. ЗАКЛЮЧЕНИЕ

Надежность nano-электронных вычислительных систем с резервированием для космического применения зависит от устойчивости мажоритар-

ной логики к воздействиям одиночных ионизирующих частиц. Моделирование мажоритарного элемента на КМОП логике И-НЕ всего на 18-и транзисторах и выполненного по оригинальной топологической структуре, установило определенные преимущества перед другими мажоритарными элементами, в частности, в маскировании влияния импульсов помех, возникающих на внутренних узлах мажоритарного элемента.

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

## СПИСОК ЛИТЕРАТУРЫ

1. *Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuvu B.L., Massengill L.W.* Layout technique for single-event transient mitigation via pulse quenching // *IEEE Transactions on Nuclear Science*. 2011. V. 58. № 3. P. 885–890.
2. *Shuler R.L., Bhuvu B.L., O'Neill P.M., Gambles J.W., Rezgui S.* Comparison of dual-rail and TMR logic cost effectiveness and suitability for FPGAs with reconfigurable SEU tolerance // *IEEE Transactions on Nuclear Science*. 2009. V. 56. № 1. P. 214–219.
3. *Ramamurthy C., Gujja A., Vashishtha V., Chellappa S., Clark L.T.* Muller C-element self-corrected triple modular redundant logic with multithreading and low power modes // in the RADECS-2017 Conference Papers, in *IEEE Xplore (Conference Section, RADECS-2017)*, e-book. 2019. P. 184–187.
4. *Hindman N.D., Clark L.T., Patterson D.W., Holbert K.E.* Fully automated testable design of fine-grained triple mode redundant logic // *IEEE Transactions on Nuclear Science*. 2011. V. 58. № 6. P. 3046–3052.
5. *Sanchez-Clemente A., Entrena L., Garcia-Valderas M., Lyppez-Ongi C.* Logic Masking for SET Mitigation Using Approximate Logic Circuits // in *Proc. of 2012 IEEE 18th International On-Line Testing Symposium (IOLTS)*, 2012. P. 176–181.
6. *Katunin Yu.V., Stenin V.Ya.* TCAD Simulation of the 65-nm CMOS Logical Elements of the Decoders with Single-Event Transients Compensation // in *Proc. of 2018 Workshop on Electronic and Networking Technologies (MWENT)*, Moscow, 2018. P. 1–6.
7. *Стенин В.Я., Катунин Ю.В.* Моделирование переходных процессов в мажоритарном элементе при переключении и сборе заряда с трека одиночной частицы // *Микроэлектроника*. 2020. Т. 49. № 5. С. 353–365.
8. *Стенин В.Я., Катунин Ю.В.* КМОП мажоритарный элемент на основе И-НЕ логики с пониженной чувствительностью к воздействию одиночных ионизирующих частиц // *Микроэлектроника*. 2021. Т. 50. № 6. С. 435–444.
9. *Soft errors in Modern Electronic Systems / M. Nicolaidis, Ed.* New York: Springer, 2011. P. 27–54.
10. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.