

МОДЕЛИРОВАНИЕ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ МИКРОЭЛЕКТРОНИКИ

УДК 621.382.323+621.315

КМОП МАЖОРИТАРНЫЙ ЭЛЕМЕНТ НА ОСНОВЕ И-НЕ ЛОГИКИ С ПОНИЖЕННОЙ ЧУВСТВИТЕЛЬНОСТЬЮ К ВОЗДЕЙСТВИЮ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ

© 2021 г. В. Я. Стенин^{a, b, *}, Ю. В. Катунин^{a, **}

^aНИИ системных исследований Российской академии наук, Нахимовский проспект, 36, 1, Москва, Россия

^bНациональный исследовательский ядерный университет “МИФИ”, Каширское шоссе, 31, Москва, Россия

*E-mail: vystenin@mephi.ru

**E-mail: katunin@cs.niisi.ras.ru

Поступила в редакцию 11.12.2020 г.

После доработки 31.03.2021 г.

Принята к публикации 14.04.2021 г.

Приводятся результаты моделирования элементов тройного мажоритарного элемента, выполненного на основе КМОП логических элементов И-НЕ. Моделирование проведено с использованием 3D TCAD физических моделей КМОП транзисторов по проектной норме 65-нм объемной технологии с мелкой траншейной изоляцией групп транзисторов при сборе заряда транзисторами с треков одиночных ионизирующих частиц с линейным переносом энергии в диапазоне от 10 до 90 МэВ · см²/мг. Сбор заряда с трека приводит к образованию импульсов помех. Мажоритарный элемент выполнен на 18 транзисторах и имеет оригинальную топологическую структуру, в которой транзисторы выходного логического элемента 3И-НЕ по одному введены в соответствующие группы транзисторов трех входных элементов 2И-НЕ. Это снизило длительность импульсных помех на выходе мажоритарного элемента при входных сигналах $A = B = C = 0$ за счет совместного сбора заряда с трека частицы транзисторами каскадно включенных логических элементов 2И-НЕ, 3И-НЕ. Особенностью мажоритарного элемента является маскирование помех (блокирование передачи на выход импульсов помех, возникающих на его внутренних узлах И-НЕ) при сигналах на входах элемента $A = B = C = 1$. При сигналах на входах элемента $A = B = C = 0$ длительности импульсов помех находятся в диапазоне 50–200 пс при линейной передаче энергии на трек 60–90 МэВ · см²/мг с точками входа треков в КМОП транзисторы и 250–400 пс с точками входа треков в КМОП транзисторы.

Ключевые слова: импульс помехи, логический элемент, мажоритарный элемент, моделирование, одиночная частица, сбор заряда, трек

DOI: 10.31857/S0544126921050070

1. ВВЕДЕНИЕ

КМОП мажоритарные логические элементы являются важной частью обеспечения надежности интегральных систем с резервированием вычислительных процессов. Надежность мажоритарных элементов в системах, предназначенных для космического применения, связана с их помехоустойчивостью к воздействиям одиночных ионизирующих частиц. В настоящее время моделирование с использованием приборных физических моделей (physics-based device models) наноразмерных элементов является виртуальной экспериментальной базой для получения данных о поведении электронных элементов в условиях космического применения.

Моделированию эффектов воздействия одиночных ионизирующих частиц с использованием трехмерных (3D) приборных физических моде-

лей посвящены работы, в которых предсказаны важные особенности поведения КМОП транзисторов при сборе заряда с треков одиночных ионизирующих частиц. В первую очередь следует отметить такие принципиальные эффекты как переход КМОП транзисторов в инверсный режим смещения [1] и совместный сбор заряда с трека транзисторами смежных элементов с проектными нормами менее 100 нм, который снижает длительности импульсных помех [2]. Эти два эффекта отдельно или в комбинации служат образованию импульсов помех на выходах мажоритарных элементов либо их блокировке.

Снижение проектных норм и специфика космического применения высокопроизводительных систем требуют новых исследований КМОП мажоритарных элементов для решения технических задач. 3D TCAD моделирование воздействия

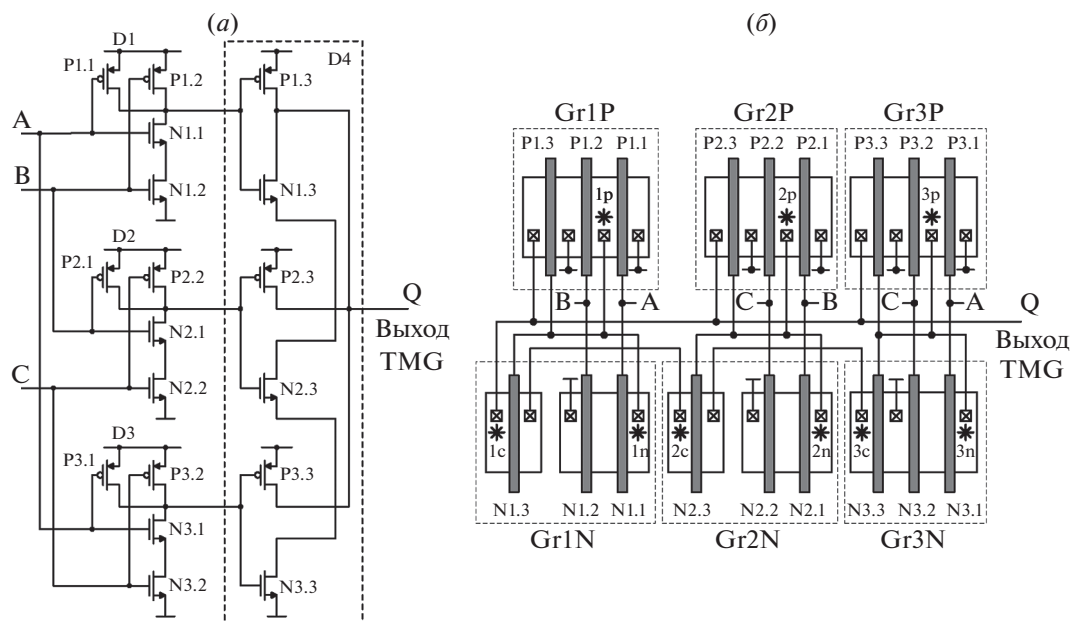


Рис. 1. КМОП тройной мажоритарный элемент на И-НЕ логических элементах: (а) схема; (б) эскиз топологии; входы мажоритарного элемента обозначены как А, В, С, а выход как Q “Выход TMG”.

одиночных ионизирующих частиц на тройной мажоритарный элемент на логических элементах И и ИЛИ с проектной нормой объемный 65-нм КМОП с мелкой траншейной оксидной изоляцией (shallow trench isolation – STI) групп транзисторов [3] позволило установить основные механизмы образования импульсов помех при сборе заряда группами транзисторов в логических элементах с последовательным и параллельным соединением их, а также основные механизмы коррекции длительности импульсов помех при каскадном включении логических элементов И-НЕ (а также ИЛИ-НЕ) и инверторов. Моделирование одновременного переключения и сбора заряда с трека одиночной частицы [4] в мажоритарном элементе на основе И и ИЛИ логики показало практически неизменные длительности нестационарного состояния мажоритарного элемента независимо от момента возникновения трека как до, так и после переключения по входам. Другой особенностью является опережающее переключение мажоритарного элемента либо увеличение задержки переключения, инициируемые сбором заряда, в зависимости от сигналов на входах [4].

Целью данной работы является моделирование средствами TCAD тройного мажоритарного элемента (triple majority gate – TMG), выполненного только на основе КМОП логических элементов И-НЕ по проектной норме объемный 65-нм КМОП с мелкой траншейной изоляцией транзисторов, и получение оценок параметров импульсов помех при сборе заряда с треков частиц. Исследуемый тройной мажоритарный

элемент имеет оригинальную топологическую структуру, позволяющую осуществить коррекцию длительности импульсных помех.

2. ТРОЙНОЙ МАЖОРИТАРНЫЙ ЭЛЕМЕНТ НА И-НЕ КМОП ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

2.1. Схема и топология

Правильным результатом передачи тройным мажоритарным элементом сигналов с входов на выход является выходной сигнал, который соответствует совпадению как минимум двух входных сигналов из трех. На рис. 1 приведены схема (рис. 1а) и эскиз топологии (рис. 1б) тройного мажоритарного элемента на основе трех двухвходовых КМОП элементов 2И-НЕ D1, D2, D3 и одного трехвходового элемента 3И-НЕ D4. Первая цифра в обозначениях транзисторов на рис. 1 соответствует номеру элемента D1, D2, D3, а вторая – номеру транзистора в этих элементах. Топологически транзисторы одного типа проводимости элементов D1, D2, D3 расположены в отдельных областях кремния, ограниченных на эскизе топологии (рис. 1б) прямоугольниками. Эти области окружены мелкой траншейной изоляцией диэлектриком (диоксидом кремния) глубиной 400 нм; полосы с штриховкой на эскизе топологии обозначают затворы транзисторов, звездочками отмечены точки входа треков одиночных частиц.

Группа NМОП транзисторов Gr3N и группы PМОП транзисторов Gr1P, Gr2P, Gr3P, содержащие по три транзистора, выполнены в областях

кремния размером 885×400 нм. NМОП транзисторы N1.1, N1.2, а также N2.1, N2.2 элементов D1 и D2 выполнены в областях кремния размером 590×400 нм. Прямоугольное обрамление транзисторов на рис. 1б сплошными линиями показывает границы мелкой траншейной изоляции, а прямоугольное штриховое обрамление на рис. 1б дает границы транзисторов, объединенных в группы.

Транзисторы элемента 3И-НЕ D4 введены в соответствующие группы транзисторов элементов 2И-НЕ D1, D2, D3 и пронумерованы в соответствии с нумерацией транзисторов в этих группах элементов, где они расположены. NМОП транзистор N3.3 элемента 3И-НЕ D4, включенный в группу Gr3N, выполнен в одной общей кремниевой области группы совместно с NМОП транзисторами N3.1 и N3.2 элемента D3 (рис. 1б). NМОП транзисторы N1.3 и N2.3 элемента D4 по конструктивным причинам выполнены каждый в отдельной области кремния 360×400 нм и изолированы слоем траншейной изоляцией толщиной 120 нм от областей NМОП транзисторов элементов D1 и D2 (рис. 1б).

2.2. Особенности моделирования сбора заряда транзисторами с трека частицы

Воздействие одиночной ядерной ионизирующей частицы на кремниевые элементы приводит к образованию вдоль ее трека неравновесных носителей заряда. Заряды выводятся в виде импульсов тока через обратно смещенные стоковые *pn* переходы МОП транзисторов, вызывая импульсы помех, которые могут приводить к образованию ложных выходных сигналов элементов, искажающих логические уровни на выходе мажоритарного элемента.

На рис. 2 изображен эскиз 3D физической модели приборной структуры на основе И-НЕ элементов. Приборная физическая модель включает группы NМОП транзисторов Gr1N, Gr2N, Gr3N и группы PМОП транзисторов Gr1P, Gr2P, Gr3P в соответствии с эскизом топологии на рис. 1б. В работе проведено 3D TCAD моделирование КМОП мажоритарного элемента (рис. 1а): средствами TCAD программировалась передача энергии с трека носителям заряда в кремнии и моделировались процессы сбора заряда транзисторами в элементах И-НЕ. Использованы физические модели транзисторов [5] по проектной норме 65-нм КМОП объемной технологии.

Как тестовое воздействие приняты треки частиц по нормали к поверхности модели элемента. На рис. 2 приведены треки частиц $T_{1N}-T_{3N}$ и $T_{1P}-T_{3P}$ с точками входов $1n-3n$ в стоки NМОП транзисторов N1.1, N2.1, N3.1 и точками входа $1p-3p$ в общие области стоков пар PМОП транзисторов узлов 2И-НЕ, которые отмечены звездочками на

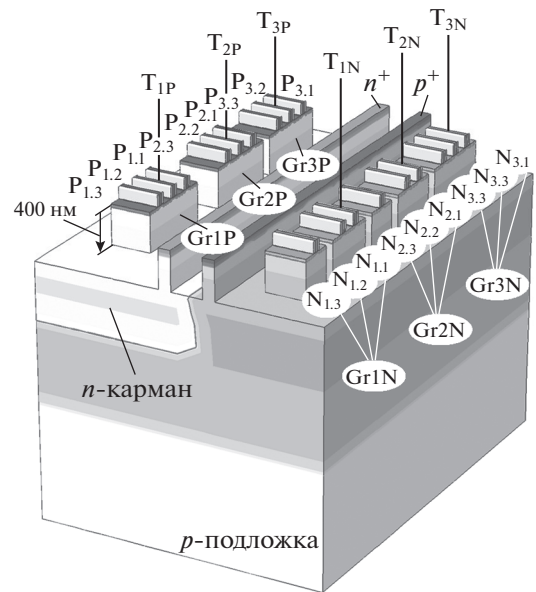


Рис. 2. Приборная 3D TCAD физическая модель, использованная при моделировании КМОП тройного мажоритарного элемента на И-НЕ логических элементах.

рис. 1б. Также использованы треки с точками входа 1с–3с в стоки NМОП транзисторов N1.3, N2.3, N3.3 элемента D4.

Ширина каналов всех транзисторов равна 400 нм. Области NМОП и PМОП транзисторов разделены охранными полосами для вывода неравновесных зарядов на шину питания и общую шину. На рис. 2 траншейная изоляция между областями кремния удалена, чтобы были видны области кремния, в которых выполнены транзисторы. Полные размеры 3D приборной структуры составляют 6.4×0.9 мкм при толщине подложки 3.0 мкм. Энергетическая составляющая генерации заряда на треке характеризуется [6] линейной передачей энергии частицей на трек (linear energy transfer – LET). При моделировании использовались треки с LET в диапазоне $10-90$ МэВ · см²/мг; образование трека при 100 пс. Результаты 3D TCAD моделирования получены с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В.

3. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ИМПУЛЬСНЫХ ПОМЕХ

3.1. Сбор заряда с трека NМОП транзисторами при сигналах на входах $A = B = C = 0$

Процессы сбора заряда с трека приводят к образованию импульсов помех на узлах мажоритарного элемента. На рис. 3 приведены импульсы помех на узле 2И-НЕ элемента D1 (рис. 3а), а также синхронно формирующиеся импульсы помех (рис. 3б) на выходе TMG (triple majority gate) – трой-

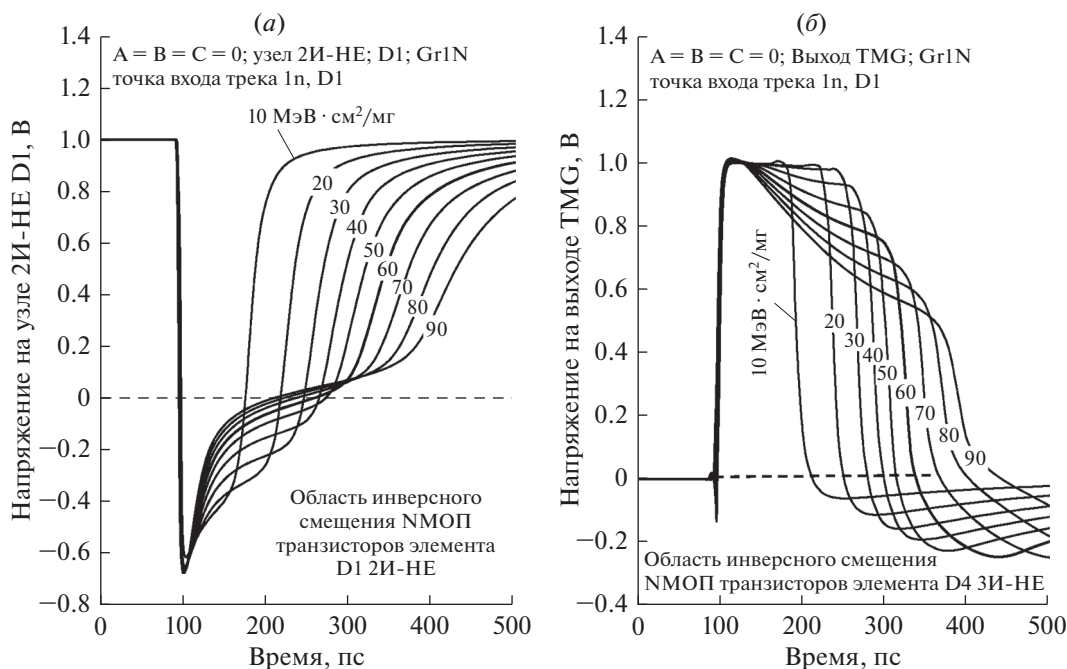


Рис. 3. Импульсы помех на узлах мажоритарного элемента при сборе заряда с трека с точкой входа $1n$ в группу транзисторов Gr1N элемента D1 при линейной передаче энергии частицей на трек в диапазоне 10–90 МэВ · см²/мг и сигналах на входах $A = B = C = 0$: (а) импульсы на узле 2И-НЕ элемента D1; (б) импульсы на выходе мажоритарного элемента.

ного мажоритарного элемента. Параметром изменения импульса помехи на рис. 3 является значение линейной передачи энергии на трек (linear energy transfer – LET) в диапазоне от 10 до 90 МэВ · см²/мг для трека T_{1N} (рис. 2) с точкой входа $1n$ в группу NМОП транзисторов Gr1N элемента D1 (рис. 1б). Сигналы на входах TМG: $A = B = C = 0$.

В начале сбора заряда с трека NМОП транзисторы N1.1 и N1.2 элемента 2И-НЕ переходят в инверсное смещение с напряжением на узле 2И-НЕ $V_{\text{УЗЕЛ.2И-НЕ}} = -0.7$ В (область отрицательных напряжений на рис. 3а). При этом запирается NМОП транзистор N1.3 элемента 3И-НЕ D4 в топологической группе Gr1N (рис. 2), через которую проходит трек одиночной частицы T_{1N} , и транзистор N1.3 может собирать заряд с того же трека. При этом PМОП транзисторы P1.1 и P1.2 остаются открытыми и их токи поднимают (повышают) напряжение на узле 2И-НЕ элемента D1 до момента времени, когда сбор заряда с трека заканчивается и NМОП транзисторы N1.1 и N1.2 начинают выходить из области инверсного смещения (графики на рис. 3а при напряжении $V_{\text{УЗЕЛ.2И-НЕ}} \approx 0-0.1$ В). В этот интервал времени рост напряжения на узле 2И-НЕ замедляется при сборе остатков заряда с трека. Далее токи PМОП транзисторов P1.1 и P1.2 “быстро” повышают напряжение на узле 2И-НЕ до значения

$V_{\text{УЗЕЛ.2И-НЕ}} = 0.7$ В, а затем идет “плавное” повышение (рис. 3а) до $V_{\text{УЗЕЛ.2И-НЕ}} \approx 1$ В меньшими токами PМОП транзисторов P1.1 и P1.2, что обусловлено снижением напряжения между стоками и истоками этих транзисторов.

На рис. 3б приведены зависимости импульсов помех во времени на выходе TМG, синхронно изменяемые совместно с зависимостями импульсов помех на рис. 3а при сборе заряда с трека с точкой входа $1n$. Одновременный сбор заряда NМОП транзистором N1.3 элемента D4, относящимся к группе Gr1N и расположенным рядом с собирающими заряд с трека транзисторами N1.1 и N1.2 (рис. 1б и 2), несколько уменьшает длительность импульса помехи на выходе TМG за счет спада вершины импульса помехи на выходе элемента $V_{\text{ВЫХОД.ТМГ}}$ (графики на рис. 3б) при оценке по уровню 0.7В. При линейной передаче энергии частицей на трек более 60 МэВ · см²/мг сбор заряда транзистором N1.3 становится более “энергичным”, что формирует более крутой спад вершины импульса помехи на выходе TМG, что останавливает рост, а затем снижает длительность импульса помехи по сравнению с практически отсутствием корректирующего сбора заряда транзистором N1.3 при LET < 60 МэВ · см²/мг (графики на рис. 3б).

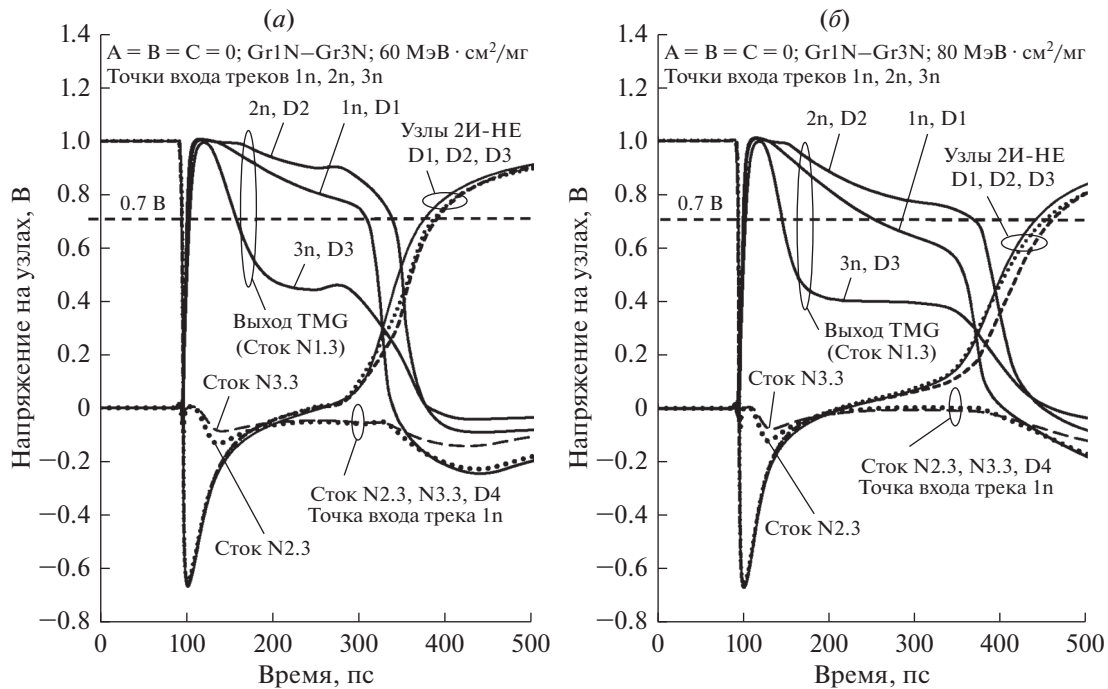


Рис. 4. Импульсы помех на выходе мажоритарного элемента и его узлах 2И-НЕ при сборе заряда с треков с точками входа 1n, 2n, 3n в группы транзисторов Gr1N, Gr2N, Gr3N элементов D1, D2, D3 при сигналах на входах $A = B = C = 0$ и зависимости напряжений на стоках транзисторов N2.3, N3.3 для точки входа трека 1n при линейной передаче энергии частицей на трек: (а) $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$; (б) $80 \text{ МэВ} \cdot \text{см}^2/\text{мг}$.

3.2. Снижение длительности помехи на выходе мажоритарного элемента при сборе заряда NМОП транзисторами элементов D1, D2, D3 совместно с транзисторами элемента D4

На рис. 4 приведены зависимости импульсов помех на выходе мажоритарного элемента и узлах 2И-НЕ при сборе заряда с трех треков одиночных частиц ($T_{1N}-T_{3N}$ на рис. 2) с точками входа 1n, 2n, 3n (рис. 1б) в группы NМОП транзисторов элементов D1, D2, D3 при сигналах на входах $A = B = C = 0$. На рис. 4а приведены импульсы помех для $LET = 60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$, а на рис. 4б для $LET = 80 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. Кроме того, на рис. 4 приведены зависимости изменения напряжений на стоках NМОП транзисторов N2.3 и N3.3 элемента D4 при точке входа трека 1n.

Сбор заряда с трека, проходящего через одну из трех групп NМОП транзисторов: Gr1N, Gr2N или Gr3N, вызывает переход NМОП транзисторов узла 2И-НЕ этой группы в инверсное смещение (рис. 4), что образует импульс помехи отрицательной полярности на узле 2И-НЕ. Напряжение при формировании фронта этого импульса снижается от +1 до -0.7 В, при этом происходит переход узла 2И-НЕ этой группы в состояние логического нуля "0". На узлах 2И-НЕ двух других групп, через которые не проходит данный трек, сохраняются уровни логических единиц "1", что не препятствует образованию импульса помехи поло-

жительной полярности на выходе TMG (рис. 4) под действием импульса на узле 2И-НЕ этой группы. Импульсы помех на каждом из трех узлов И-НЕ групп Gr1N, Gr2N и Gr3N оказываются практически одинаковыми (см. зависимости "Узлы 2И-НЕ D1, D2, D3" на рис. 4), что подтверждает одинаковость процессов образования зарядов и их величин в данных группах при одинаковой передаче энергии частицей.

Из сравнения зависимостей на рис. 4 следует существенно меньшее значение длительности импульса помехи на выходе TMG при треке с точкой входа 3n в группу Gr3N. Кроме того, увеличение LET с 60 до $80 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ сопровождается снижением длительности импульса помехи по уровню 0.7 В на выходе TMG с 56 до 43 пс, при точке входа 1n в группу Gr1N длительность помехи снижается с 210 до 157 пс (рис. 4), а при точке входа 2n продолжается повышение с 232 до 269 пс (рис. 4).

На рис. 5 приведены графики длительности импульсов помех на выходе мажоритарного элемента и узлах 2И-НЕ групп транзисторов Gr1N–Gr3N в зависимости от линейной передачи энергии частицей на треки $T_{1N}-T_{3N}$ с точками входа 1n, 2n, 3n в диапазоне от 10 до $90 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ при сигналах на входах $A = B = C = 0$. Максимальный эффект коррекции длительности импульса помехи при сборе заряда электронов NМОП транзистором N3.3 элемента D4 при треке с точкой вхо-

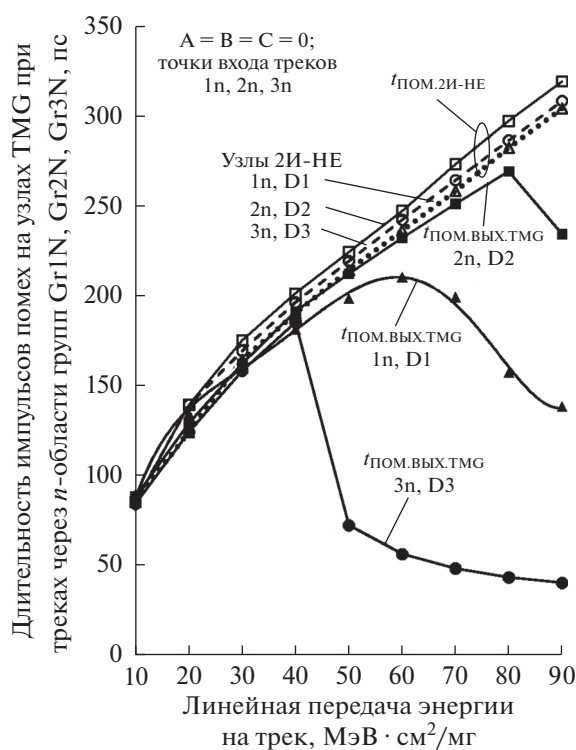


Рис. 5. Длительности импульсов помех на выходе мажоритарного элемента и узлах 2И-НЕ групп NМОП транзисторов Gr1N, Gr2N, Gr3N элементов D1, D2, D3 при сборе заряда с треков с точками входа 1n, 2n, 3n и сигналах на входах $A = B = C = 0$ в зависимости от линейной передачи энергии частицей на трек в диапазоне от 10 до 90 МэВ·см²/мг.

да 3n (рис. 5). Это объясняется тем, что транзистор N3.3 элемента D4 выполнен в общей кремниевой области группы Gr3N совместно с транзисторами N3.1 и N3.2 элемента D3 (рис. 1б и рис. 2). Это дает возможность запертому транзистору N3.3 при напряжении на узле 2И-НЕ элемента D3 $V_{УЗЕЛ.2И-НЕ} < 0.1$ В (рис. 4) эффективно собирать заряд электронов с трека через группу Gr3N, что снижает длительность импульса помехи на выходе ТМГ за счет понижения напряжения на стоке N3.3 при открытых транзисторах N1.3 и N2.3 элемента D3, сигналы на входах $A = B = C = 0$. Снижение длительности помехи при треке с точкой входа 3n начинается при линейной передаче энергии на трек более 40 МэВ·см²/мг (рис. 5).

Меньший эффект снижения длительности помехи проявляется при треке с точкой входа 1n в группу Gr1N элемента D1, а минимальный эффект — при треке в группу Gr2N с точкой входа 2n в группу Gr2N D2 (рис. 5). Эффект коррекции проявляется при треке с точкой входа 1n при LET > 60 МэВ·см²/мг, а при точке входа трека 2n при LET > 80 МэВ·см²/мг. Это связано с тем, что транзисторы N1.3 и N2.3 элемента D4 по конструктивным причинам отделены слоем тран-

шейной изоляции 120 нм от областей NМОП транзисторов групп Gr1N и Gr2N, поэтому сбор заряда электронов этими транзисторами происходит слабее с треков в группу Gr1N или Gr2N.

3.3. Сбор заряда с трека РМОП транзисторами при сигналах на входах $A = B = C = 0$

На рис. 6а приведены импульсы помех на выходе ТМГ и узлах 2И-НЕ для трех групп РМОП транзисторов Gr1P, Gr2P, Gr3P при сборе заряда с трека в каждой из групп со своей точкой входа 1p, 2p или 3p (рис. 1б) и сигналах на входах $A = B = C = 0$ при LET = 60 МэВ·см²/мг. На рис. 6б даны зависимости длительности импульсов помех в диапазоне LET от 10 до 90 МэВ·см²/мг.

РМОП транзисторы трех групп Gr1P, Gr2P и Gr3P элементов D1–D3 открыты при сигналах на входах $A = B = C = 0$, а РМОП транзисторы P1.3, P2.3, P3.3 элемента D4 заперты. Напряжения на трех узлах 2И-НЕ при этом $V_{УЗЕЛ.2И-НЕ} = 1$ В. Трек одиночной частицы в одну из трех групп Gr1P, Gr2P или Gr3P инициирует сбор заряда дырок РМОП транзисторами этой группы (рис. 1а), что увеличивает напряжение на емкости узла 2И-НЕ этой группы, вызывая кратковременный (на 20 пс) переход РМОП транзисторов этой группы в инверсное смещение с напряжением на узле $V_{УЗЕЛ.2И-НЕ} = 1.3–1.0$ В (рис. 6а). В это время на всех трех узлах 2И-НЕ сохраняются уровни логических единиц “1”, и все три РМОП транзистора P1.3, P2.3, P3.3 элемента D4 находятся в запертом состоянии при напряжении на их стоках и выходе ТМГ $V_{ВЫХ.ТМГ} = 0$ В. Это обеспечивает образование импульса помехи положительной полярности на выходе ТМГ (рис. 6а) при сборе заряда дырок с трека, проходящего через любую из трех групп транзисторов Gr1P, Gr2P или Gr3P, и временный переход выхода в состояние логической единицы “1” (рис. 6а).

На рис. 6б приведены графики длительности импульсов помех на выходе мажоритарного элемента и узлах 2И-НЕ групп РМОП транзисторов Gr1P–Gr3P при треках с точками входа 1p, 2p, 3p (рис. 1б) в зависимости от линейной передачи энергии частицей на трек в диапазоне от 10 до 90 МэВ·см²/мг при сигналах на входах $A = B = C = 0$. На трех узлах 2И-НЕ в группах Gr1P–Gr3P элементов D1, D2, D3 сохраняются уровни напряжений $V_{УЗЕЛ.2И-НЕ} = 1$ В (рис. 6а), соответственно в диапазоне LET от 10 до 90 МэВ·см²/мг на любом из узлов 2И-НЕ импульса помехи не возникает (отсутствие импульса помехи на рис. 6б отмечено как $t_{ПОМ.2И-НЕ} = 0$).

В этом случае при значениях $V_{УЗЕЛ.2И-НЕ} = 1$ В все РМОП транзисторы элемента D4 (рис. 1) оказываются запертыми и при прохождении трека частицы через любую из групп Gr1P, Gr1P или Gr3P сбор заряда дырок ими с этого трека дает

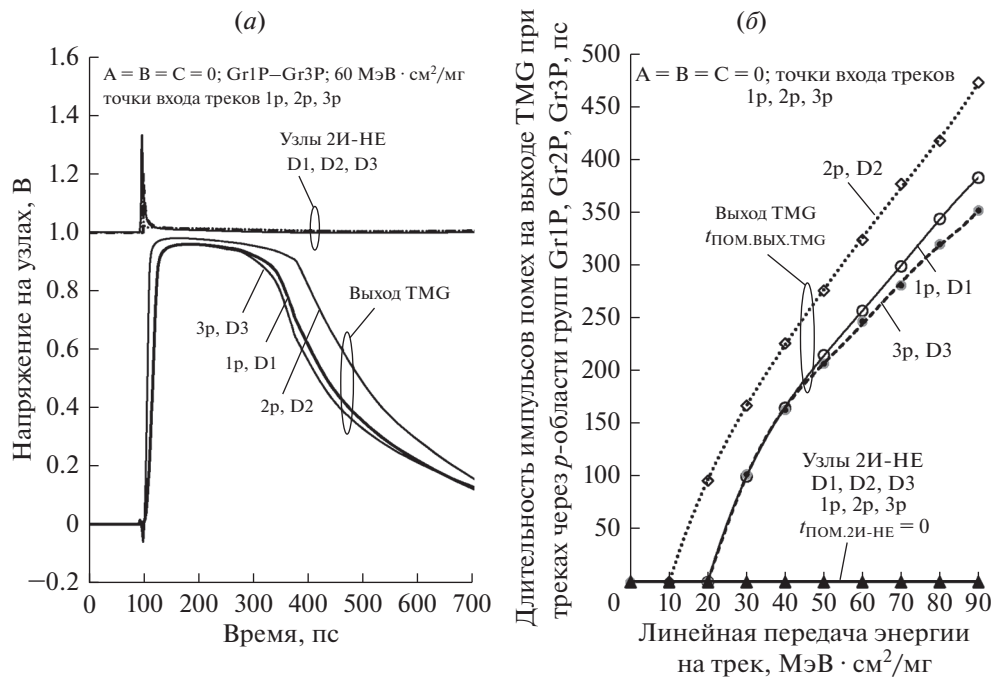


Рис. 6. Импульсы помех на выходе мажоритарного элемента и узлах 2И-НЕ групп РМОП транзисторов Gr1P, Gr2P, Gr3P элементов D1, D2, D3 при сборе заряда с треков с точками входа 1р, 2р, 3р и сигналах на входах $A = B = C = 0$: (а) импульсы помех при линейной передаче энергии частиц на трек 60 МэВ · см²/мг; (б) длительности импульсов в диапазоне линейной передачи энергии частиц на трек от 10 до 90 МэВ · см²/мг.

импульс помехи положительной полярности на выходе элемента D4 и соответственно на выходе ТМГ, длительность которого $t_{\text{ПОМ.ВЫХ.ТМГ}}$ растет пропорционально увеличению линейной передачи энергии на этот трек (рис. 6б).

4. МАСКИРОВАНИЕ ИМПУЛЬСОВ ПОМЕХ ПРИ СБОРЕ ЗАРЯДА

4.1. Сбор заряда с трека НМОП транзисторами при сигналах на входах $A = B = C = 1$

Эффект маскирования помех в комбинационных логических элементах заключается в блокировке передачи на выход элемента импульса помехи, возникшего на одном из его внутренних узлов, и сохранение неизменным значение выходного уровня сигнала. На рис. 7 приведены зависимости напряжений на трех узлах 2И-НЕ групп НМОП транзисторов Gr1N–Gr3N элементов D1, D2, D3 и три зависимости напряжений на выходе ТМГ при сборе заряда с трека одиночной частицы в каждую из групп со точкой входа 1n, 2n или 3n (рис. 1б) при LET = 60 МэВ · см²/мг и входных сигналах $A = B = C = 1$. Эти зависимости иллюстрируют одинаковый характер изменения напряжений ($V_{\text{УЗЕЛ.2И-НЕ}} \leq 0$ на рис. 7) на трех узлах 2И-НЕ элементов D1, D2, D3 при сохранении уровня “1” на выходе мажоритарного элемента без импульса помехи.

На рис. 7 приведены также зависимости напряжений на стоках НМОП транзисторов N2.3 и N3.3 элемента D4 во время сбора заряда с трека при точке входа 1n при LET = 60 МэВ · см²/мг. Пример этих зависимостей показывает, что транзисторы элемента D4, на затворах которых сохраняются исходные напряжения, соответствующие входным сигналам $A = B = C = 1$, находятся в инверсном смещении с напряжениями на стоках менее 0 В. В итоге напряжения на трех узлах 2И-НЕ поддерживают РМОП транзисторы элемента D4 в открытом состоянии, что сохраняют уровень логической единицы “1” на выходе ТМГ без образования импульса помехи и служит маскированию помех входными сигналами мажоритарного элемента.

НМОП транзисторы узлов 2И-НЕ трех элементов D1, D2 и D3 открыты при сигналах на входах $A = B = C = 1$ также и при линейной передаче энергии в диапазоне от 10 до 90 МэВ · см²/мг на любой из трех треков с точками входа 1n, 2n, 3n. Сбор заряда с трека, проходящего через одну из трех групп НМОП транзисторов: Gr1N, Gr2N или Gr3N вызывает сохранение логического состояния нуля “0” на узле 2И-НЕ этой группы. При этом на двух других узлах 2И-НЕ уровня логических нулей “0” сохраняются сигналами на входах $A = B = C = 1$. В итоге логические уровни “0” на трех узлах 2И-НЕ обеспечивают уровень логической единицы “1” на выходе ТМГ.

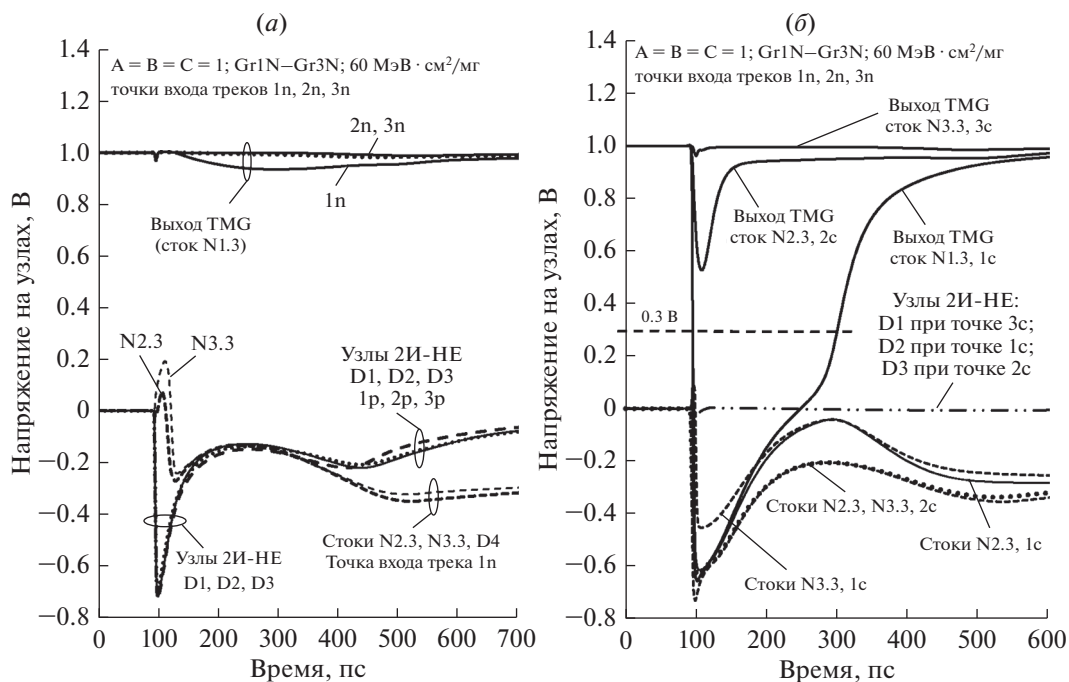


Рис. 7. Зависимости напряжений в режиме маскирования помех на выходе мажоритарного элемента, на узлах 2И-НЕ групп НМОП транзисторов Gr1N, Gr2N, Gr3N элементов D1, D2, D3 и на стоках НМОП транзисторов N2.3 и N3.3 элемента D4 при сигналах на входах $A = B = C = 1$ при линейной передаче энергии частицей на трек $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ и сборе заряда с треков: (а) с точками входа 1n, 2n, 3n; (б) с точками входа 1c, 2c, 3c в стоки транзисторов N1.3, N2.3 и N3.3 элемента D4.

4.2. Маскирование при сборе заряда с треков НМОП транзисторами элемента D4

На рис. 7б приведены результаты моделирования сбора заряда с треков с точками входа 1c, 2c, 3c в стоки НМОП транзисторов N1.3, N2.3 и N3.3 элемента 3И-НЕ D4 (рис. 1б) при $\text{LET} = 60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. При входных сигналах $A = B = C = 1$ на всех узлах 2И-НЕ установлено напряжение $V_{\text{УЗЕЛ.2И-НЕ}} = 0 \text{ В}$, при этом транзисторы N1.3, N2.3 и N3.3 элемента 3И-НЕ D4 заперты. Все узлы 2И-НЕ при сборе заряда с треков с точками входа 1c, 2c, 3c остаются с логическими уровнями нуль “0”, сохраняя напряжение 0 В на узле либо переходя в инверсное смещение при $V_{\text{УЗЕЛ.2И-НЕ}} < 0 \text{ В}$. Напряжение 0 В сохраняется у элемента D1 при точке входа трека 3c, у элемента D2 при точке 1c и элемента D3 при точке 2c (рис. 7б). Транзисторы N2.3 и N3.3 также переходят в инверсное смещение при любой из точек трека 1c, 2c, 3c, на рис. 7б дан пример для точек 1c, 2c и 3c.

Сбор заряда с трека с точкой входа 3c в сток запертого транзистора N3.3 не вызывает импульса помехи (рис. 7б) и на выходе ТМГ сохраняется уровень логической единицы “1”. Это полностью совпадает с результатом сбора заряда с трека с точкой входа 3n в общую область кремния группы Gr3N (рис. 7а), к которой относится и транзистор N3.3 (рис. 1б). Сбор заряда с трека с точкой входа

2c в сток транзистора N2.3 вызывает незначительный импульс на выходе ТМГ с амплитудой менее 0.3 В, который нельзя считать помехой. Только сбор заряда с трека с точкой входа 1c в сток запертого транзистора N1.3, который соединен с выходом ТМГ, вызывает на этом выходе импульс помехи отрицательной полярности с длительностью 205 пс (рис. 7б).

В итоге только прямое прохождение трека частицы через сток запертого транзистора N1.3 может вызвать импульс помехи, в остальных случаях обеспечивается маскирование помех входными сигналами $A = B = C = 1$.

4.3. Сбор заряда с трека РМОП транзисторами при сигналах на входах $A = B = C = 1$

На рис. 8 приведены импульсы помех и их длительности на узлах 2И-НЕ групп РМОП транзисторов Gr1P–Gr3P при сборе заряда с треков с точками входа 1p, 2p, 3p при входных сигналах $A = B = C = 1$. Зависимости на рис. 8а иллюстрируют изменения напряжений на узлах 2И-НЕ элементов D2, D3 при увеличении линейной передачи энергии частицы на трек с точкой входа 3p в диапазоне от 60 до 90 $\text{МэВ} \cdot \text{см}^2/\text{мг}$ при сохранении уровня “1” на выходе мажоритарного элемента и сохранении уровня “0” на узле 2И-НЕ элементов D1 в том же диапазоне изменения

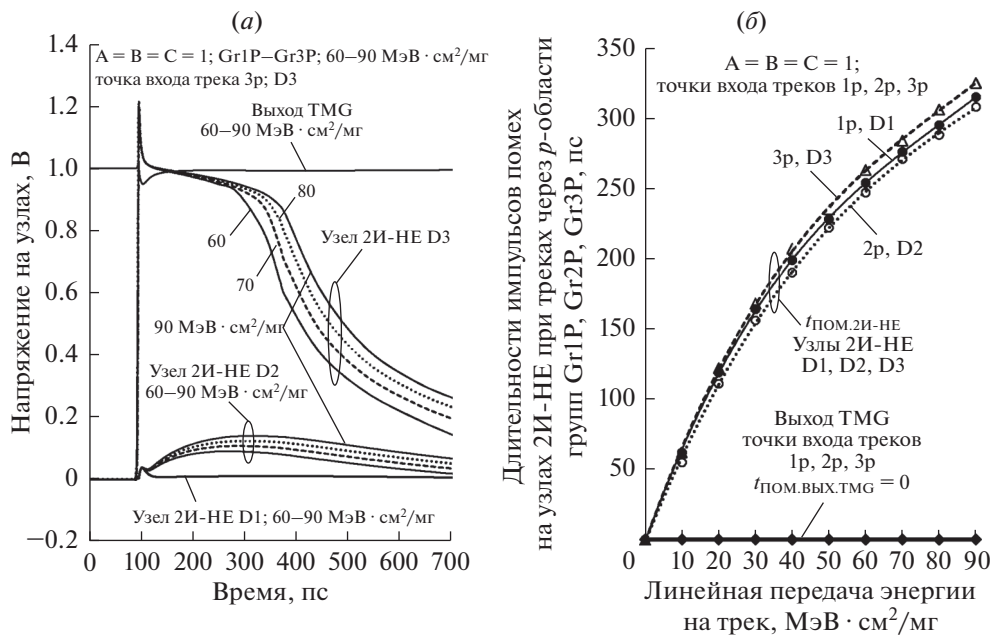


Рис. 8. Импульсы помех на узлах 2И-НЕ групп РМОП транзисторов Gr1P, Gr2P, Gr3P элементов D1, D2, D3 в режиме маскирования помех на выходе мажоритарного элемента при сигналах на входах $A = B = C = 1$: (а) импульсы помех при сборе заряда с трека с точкой входа 3р в группу Gr3P элемента D3 и LET = 60–90 МэВ · см²/мг; (б) длительности импульсов помех в диапазоне линейной передачи энергии частицей на трек от 10 до 90 МэВ · см²/мг при треках с точками входа 1р, 2р, 3р.

LET. На рис. 8б даны зависимости длительности импульсов помех на трех узлах 2И-НЕ групп Gr1P–Gr3P элементов D1, D2, D3 и на выходе ТМГ при сборе заряда с треков одиночных частиц с разными точками входа 1р, 2р, 3р в группы элементов D1, D2, D3 в диапазоне LET от 10 до 90 МэВ · см²/мг при входных сигналах $A = B = C = 1$.

РМОП транзисторы групп Gr1P–Gr3P находятся в запертом состоянии (рис. 1) при сигналах на входах $A = B = C = 1$. В начале сбора заряда с трека с точкой входа в одну из этих групп РМОП транзисторы этой группы переключают узел 2И-НЕ этой группы из состояния с напряжением $U_{узел.2И-НЕ} = 0$ в состояние $U_{узел.2И-НЕ} = 1.2-1$ В (рис. 8а), что образует импульс помехи положительной полярности на этом узле, который запирает РМОП транзистор элемента D4 и открывает НМОП транзистор элемента D4. При этом два элемента 2И-НЕ, не собирающих заряд, сохраняют на своих узлах 2И-НЕ уровни логического нуля “0”, задаваемых входными сигналами $A = B = C = 1$, что дает эффект маскирования помехи входными сигналами мажоритарного элемента и блокирует образование импульса помехи на его выходе.

Практически одинаковые зависимости длительности помех $t_{пом.2И-НЕ}$ (LET) на узлах И-НЕ, приведенные на рис. 8б как функции линейной передачи энергии частицы на трек в диапазоне от 10 до 90 МэВ · см²/мг, подтверждают то, что РМОП транзисторы трех узлов 2И-НЕ элементов D1, D2, D3 собирают заряд одинаково, когда трек

проходит через них. При этом два узла 2И-НЕ, не собирающих заряд элементов, сохраняют уровни логического нуля “0” и обеспечивают на выходе мажоритарного элемента сохранение логического уровня “1” без возникновения импульса помехи. На рис. 8б отсутствие импульса помехи на выходе ТМГ в диапазоне LET от 10 до 90 МэВ · см²/мг для точек входа треков 1р, 2р, 3р отмечено как $t_{пом.в.ых.ТМГ} = 0$.

5. ОСНОВНЫЕ РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Специфические особенности КМОП тройного мажоритарного элемента на основе И-НЕ логики, установленные при моделировании:

1. Сбор заряда с треков, проходящих через группы НМОП, так и РМОП транзисторов при сигналах на входах мажоритарного элемента $A = B = C = 0$, приводит к образованию на его выходе импульсов помех. При сигналах на входах $A = B = C = 1$ происходит маскирование импульсов помех, образующихся на узлах 2И-НЕ мажоритарного элемента, и на его выходе сохраняются уровни логических единиц “1” без возникновения импульсов помех. Только прямое прохождение трека частицы через сток запертого транзистора N1.3 может вызвать импульс помехи при входных сигналах $A = B = C = 1$.

2. При сигналах на входах мажоритарного элемента $A = B = C = 0$ длительности импульсов помех на выходе элемента находятся в пределах 50–200 пс

при линейной передаче энергии $60\text{--}90 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ частицей на треки с точками входа в NМОП транзисторы и в пределах $250\text{--}400 \text{ пс}$ с точками входа в PМОП транзисторы. При сигналах на входах элемента мажоритарного элемента $A = B = C = 1$ маскирование практически исключает образование импульсов помех на выходе элемента.

3. При сборе заряда с трека одной из трех групп транзисторов Gr1N, Gr2N, Gr3N (или Gr1P, Gr2P, Gr3P) в двух других группах на транзисторах того же типа проводимости при сигналах на входах $A = B = C = 0$ на узлах 2И-НЕ сохраняются уровни логических единиц “1”, которые не препятствуют возникновению импульса помехи на выходе ТМГ.

4. При сборе заряда с трека в одной из трех групп транзисторов из групп Gr1N, Gr2N, Gr3N (или Gr1P, Gr2P, Gr3P) при сигналах на входах $A = B = C = 1$ в двух других на узлах 2И-НЕ сохраняются уровни логических нулей “0”, которые блокируют передачу импульса помехи с узла 2И-НЕ на выход ТМГ, что сохраняет на выходе уровень логической единицы “1”.

5. NМОП и PМОП транзисторы элементов 2И-НЕ D1–D3 при сборе заряда с трека одиночной частицы с точкой входа в одну из групп транзисторов Gr1N, Gr2N, Gr3N (или Gr1P, Gr2P, Gr3P) переходят в инверсное смещение (открытое состояние при $V_{\text{УЗЕЛ.2И-НЕ}} < 0$ для NМОП транзисторов и $V_{\text{УЗЕЛ.2И-НЕ}} > 1 \text{ В}$ для PМОП транзисторов) как при сигналах на входах $A = B = C = 0$, так и при $A = B = C = 1$.

6. Формы и длительности импульсов помех на внутренних узлах 2И-НЕ мажоритарного элемента отличаются незначительно в группах на транзисторах одинакового типа проводимости как Gr1N, Gr2N, Gr3N или Gr1P, Gr2P, Gr3P при одинаковых входных сигналах и значениях линейной передачи энергии на трек.

5. ЗАКЛЮЧЕНИЕ

Повышение надежности микро- и нанoeлектронных микропроцессорных вычислительных систем с резервированием, предназначенных для космического применения, зависит от повышения устойчивости мажоритарных логических

элементов при воздействии одиночных ионизирующих частиц. Результаты моделирования мажоритарного элемента, выполненного только на логических элементах И-НЕ, показали, что он имеет ряд преимуществ перед другими вариантами: он содержит всего 18 транзисторов; выполнен по оригинальной топологической структуре, в которой транзисторы выходного логического элемента 3И-НЕ по одному введены в соответствующие группы транзисторов трех входных элементов 2И-НЕ, что позволяет снизить длительности импульсных помех на выходе мажоритарного элемента при входных сигналах “0” за счет совместного сбора заряда с трека частицы транзисторами каскадно соединенных логических элементов 2И-НЕ и 3И-НЕ. Особенностью мажоритарного элемента является маскирование помех при сигналах на входах элемента $A = B = C = 1$.

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

СПИСОК ЛИТЕРАТУРЫ

1. *Dodd P.E., Massengill L.W.* Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
2. *Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuvu B.L., Massengill L.W.* Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
3. *Катунин Ю.В., Стенин В.Я.* Моделирование воздействия одиночных ионизирующих частиц на логические элементы КМОП тройного мажоритарного элемента // Микроэлектроника. 2020. Т. 49. № 3. С. 230–240.
4. *Стенин В.Я., Катунин Ю.В.* Моделирование переходных процессов в мажоритарном элементе при переключении и сборе заряда с трека одиночной частицы // Микроэлектроника. 2020. Т. 49. № 5. С. 353–365.
5. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
6. *Soft errors in Modern Electronic Systems / Nicolaidis M., Ed.* New York: Springer, 2011. P. 27–54.