МИКРОЭЛЕКТРОНИКА, 2021, том 50, № 4, с. 288–298

МОДЕЛИРОВАНИЕ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ МИКРОЭЛЕКТРОНИКИ

УДК 621.382.323+621.315

СРАВНИТЕЛЬНЫЙ АНАЛИЗ МОДЕЛИРОВАНИЯ КМОП МАЖОРИТАРНЫХ ЭЛЕМЕНТОВ ПРИ СБОРЕ ЗАРЯДА С ТРЕКОВ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ

© 2021 г. В. Я. Стенин[a, b, *], Ю. В. Катунин[a, **]

[a] *НИИ системных исследований Российской АН, Нахимовский проспект, д. 36, корп. 1, Москва, 117218 Россия*

[b] *Национальный исследовательский ядерный университет "МИФИ", Каширское шоссе, д. 31, Москва, 115409 Россия*

**E-mail: vystenin@mephi.ru*

***E-mail: katunin@cs.niisi.ras.ru*

Поступила в редакцию 23.10.2020 г.
После доработки 23.10.2020 г.
Принята к публикации 23.10.2020 г.

Проведено моделирование и сравнение двух основных вариантов КМОП тройных мажоритарных элементов (Triple Majority Gate – TMG) для резервируемых вычислительных систем, используемых в условиях воздействия одиночных ядерных частиц. Это вариант на 2-входных логических элементах 2И и 2ИЛИ и вариант на трех 2-входных элементах 2И и одном 3-входном элементе 3ИЛИ. Моделирование проведено с использованием средств 3D TCAD, включая физическое моделирование линейной передачи энергии на трек частицы. Транзисторы выполнены по объемной кремниевой КМОП 65-нм технологии с мелкой траншейной изоляцией (shallow trench isolation). Сопоставляются длительности импульсов помех на выходах элементов И-НЕ, И, ИЛИ-НЕ, ИЛИ, зависимости длительности от формы импульса, длительности задержек от момента возникновения трека до момента нарастания фронта импульса до порогового амплитудного значения при линейной передаче энергии на трек частицы в диапазоне 10–90 МэВ · см^2/мг. Используются треки с направлением по нормали к поверхности кристалла. Проводится анализ механизма снижения (коррекции) длительности импульсов помех на выходах элементов И и ИЛИ при увеличении линейной передачи энергии на трек. Длительности импульсов помех на выходе элемента И, ИЛИ и соответственно на выходе TMG при сборе заряда с трека с точкой входа в соответствующий элемент за счет эффекта коррекции на выходе элемента 2И не превышают 150 пс, на выходе 2ИЛИ не превышают 50–100 и 250–350 пс на выходе 3ИЛИ. Минимальные длительности помех наблюдаются в варианте TMG, выполненном только на 2-входовых элементах И и ИЛИ.

Ключевые слова: импульсная помеха, логический элемент, мажоритарный элемент, моделирование, одиночная частица, сбор заряда, трек

DOI: 10.31857/S054412692103008X

1. ВВЕДЕНИЕ

Моделирование средствами 3-D TCAD с использованием физических моделей образования носителей заряда на треке частицы является, по сути, виртуальной экспериментальной базой получения данных о поведении наноразмерных элементов при воздействии одиночных частиц. Таким моделированием предсказано [1] снижение помехоустойчивости КМОП логики по объемной технологии при проектной норме менее 100 нм, а также переход NMOП транзисторов в инверсный режим смещения [2] с увеличением длительности помех до 300–500 пс при 30 МэВ · см^2/мг. Установлено, что совместный сбор заряда с трека [3] транзисторами элемента может привести к уменьшению длительности импульсов помех.

В результате TCAD моделирования [4] установлено, что при треках с линейной передачей энергии частицей на них (linear energy transfer – LET) 60 МэВ · см^2/мг помехи с наибольшими длительностями образуются в группе NMOП транзисторов элемента ИЛИ и группе PMOП транзисторов элемента И. В этих группах большая часть заряда с трека собирается транзисторами, выполненными с общей областью стоков. В данной работе приводятся результаты анализа параметров импульсов помех, образующихся в тех же группах транзисторов, но в широком диапазоне LET = 10–90 МэВ · см^2/мг.

В работе [5] проведено сравнение ряда вариантов схем TMG на вероятные технологические погрешности изготовления по КМОП технологиям

при уменьшении проектных норм. Как лучшие элементы с маскирующими свойствами технологических дефектов транзисторов отмечены тройные мажоритарные элементы с проходными КМОП ключами и обладающие декодирующими свойствами, которые, однако, не нашли заметного практического применения. Примененная методика не пригодна для сравнительной оценки вероятности помех и сбоев типа SET и SEU при воздействии одиночных ядерных частиц, поскольку не учитывает эффекты, возникающие, например, при совместной конструктивной изоляции групп КМОП транзисторов по объемной технологии, в частности, их зарядовую связь при использовании мелкой траншейной изоляции при сборе заряда транзисторами с трека частицы.

Есть работы, посвященные проектированию цепей тактирования синхронных триггерных резервируемых устройств с объединением их выходов тройным мажоритарным элементом [6]. Полезным результатом является обоснование замены глобального тактирования на асимметричное групповое троированное тактирование, приводящее к повышению помехоустойчивости и снижению энергопотребления цепями тактирования.

Попытки повышения помехо- и сбоеустойчивости ОЗУ использованием троированных ячеек памяти (Triple Interlocked Cell) по аналогии с ячейками DICE, но с чтением элементом TMG [7] нельзя считать удачными. Это давно известное предложение [8], не оправдавшее себя из-за аппаратурной избыточности. Тем более, что уже используются [9, 10] новые конструктивно-топологические решения STG DICE ячеек (Spaced Transistor Groups DICE), существенно повысившие помехо- и сбоеустойчивость (снизив SET и SEU) ячеек типа DICE.

Полезной практической рекомендацией, обоснованной в работе [11] на основе анализа параметров тройного триггерного TMG на базе пяти КМОП простейших триггерах-защелках, стала замена им для повышения сбоеустойчивости двухкаскадных синхронных троированных триггеров, которые пропускали собственные сбои (SEU) при передаче сигналов на входы TMG.

Целью работы является изучение возможной минимизации импульсов помех, образующихся при сборе заряда с трека одиночной ядерной частицы в элементах в составе мажоритарного элемента. Это сбор заряда NMOП транзисторами элемента ИЛИ, содержащего элемент И-НЕ и инвертор, а также РМОП транзисторами элемента И, содержащего элемент И-НЕ и инвертор, которые конструктивно выполняются в ограниченном объеме кремния, окруженном неглубокой траншейной изоляцией.

2. МАЖОРИТАРНЫЕ ЭЛЕМЕНТЫ С КОМБИНАЦИОННОЙ ЛОГИКОЙ

2.1. Схемы тройных мажоритарных элементов

На рис. 1 приведены схемы вариантов тройного мажоритарного элемента на логических КМОП элементах: на рис. 1*а* на 2И (D1, D3, D4) и 2ИЛИ (D2, D5) элементах; на рис. 1*б* на 2И (D1–D3) и 3ИЛИ (D4). Элементы D1 и D2 на рис. 1*а* и элементы D1 и D4 на рис. 1*б* изображены в виде электрических схем, а остальные представлены в виде функциональных условных обозначений. Первая цифра в обозначениях транзисторов на схемах на рис. 1*а* и рис. 1*б* соответствует номеру логического элемента, а вторая – номеру транзистора в элементе.

Схема элемента 2И (D1) как на рис. 1*а* и на рис. 1*б* включает в себя элемент И-НЕ и инвертор. Элемент 2ИЛИ (D2) на рис. 1*а* содержит элемент 2ИЛИ и инвертор, а элемент 3ИЛИ (D4) на рис. 1*б* содержит элемент 3ИЛИ-НЕ и инвертор. Эти схемы элементов традиционны. В элементах 2И и 2ИЛИ NMOП транзисторы на рис. 1*а* объединены в группы Gr1N и Gr2N, а РМОП транзисторы этих элементов в группы Gr1P и Gr2P, которые ограничены штриховыми линиями на рис. 1*а*. NMOП транзисторы элементов 2И и 3ИЛИ на рис. 1*б* объединены соответственно в группы Gr1N и Gr4N, а РМОП транзисторы этих элементов в группы Gr1P и Gr4P. Эти группы на рис. 1*б* также ограничены штриховыми линиями.

На рис. 2 приведены эскизы топологии КМОП логических элементов 2И (рис. 2*а*), 2ИЛИ (рис. 2*б*) и 3ИЛИ (рис. 2*в*). Каждая из групп транзисторов, что окаймлены штриховыми линиями на рис. 1*а* и рис. 1*б*, выполнена в своей кремниевой области, изолированной от других того же типа проводимости кремния мелкой траншейной изоляцией. Эти прямоугольные области ограничены на рис. 2 сплошными линиями и отображают группы транзисторов Gr1N и Gr1P элемента 2И (рис. 2*а*), группы транзисторов Gr2N и Gr2P элемента 2ИЛИ (рис. 2*б*) и группы транзисторов Gr4N и Gr4P элемента 3ИЛИ (рис. 2*в*).

2.2. Моделирование импульсов помех средствами TCAD

Воздействие на МОП элементы СБИС одиночной ядерной частицы приводит к образованию вдоль ее трека неравновесных носителей заряда. Заряды выводятся в виде импульсов тока через обратно смещенные стоковые *pn*-переходы МОП транзисторов, вызывая импульсы помех, которые могут приводить к образованию ложных выходных сигналов элементов, искажающих логические уровни на выходе комбинационной логики.

На рис. 3 изображены эскизы двух вариантов 3-D физической модели приборной структуры мажоритарного элемента: на рис. 3*а* по схеме на

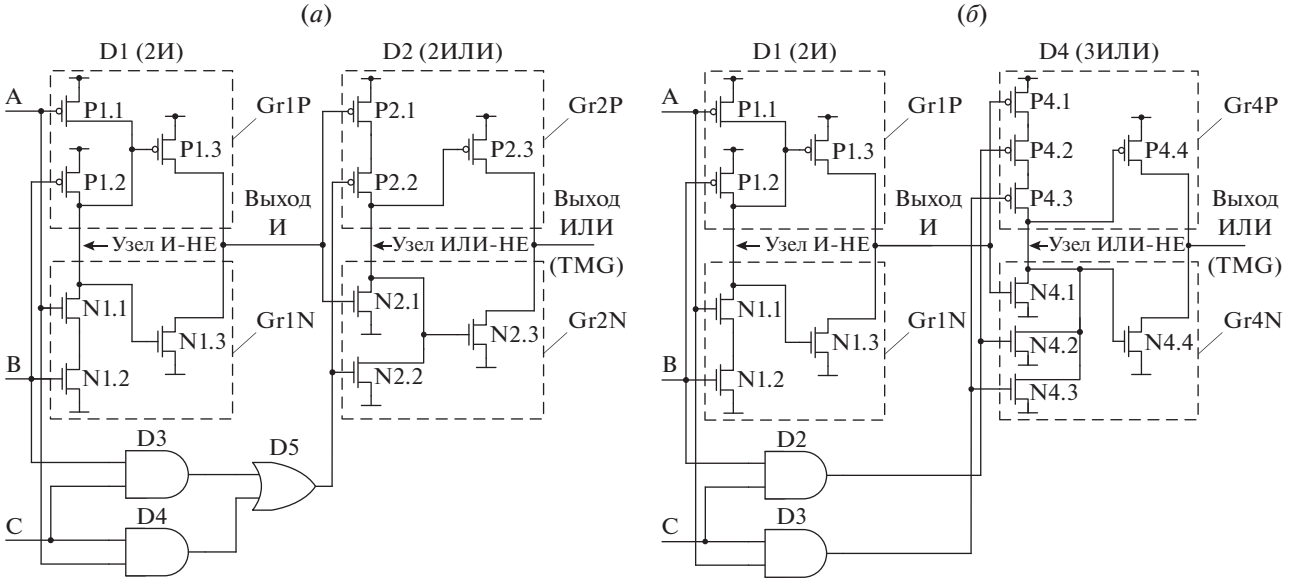

Рис. 1. Схемы КМОП мажоритарных элементов: (*а*) на 2И и 2ИЛИ элементах; (*б*) на 2И и 3ИЛИ элементах.

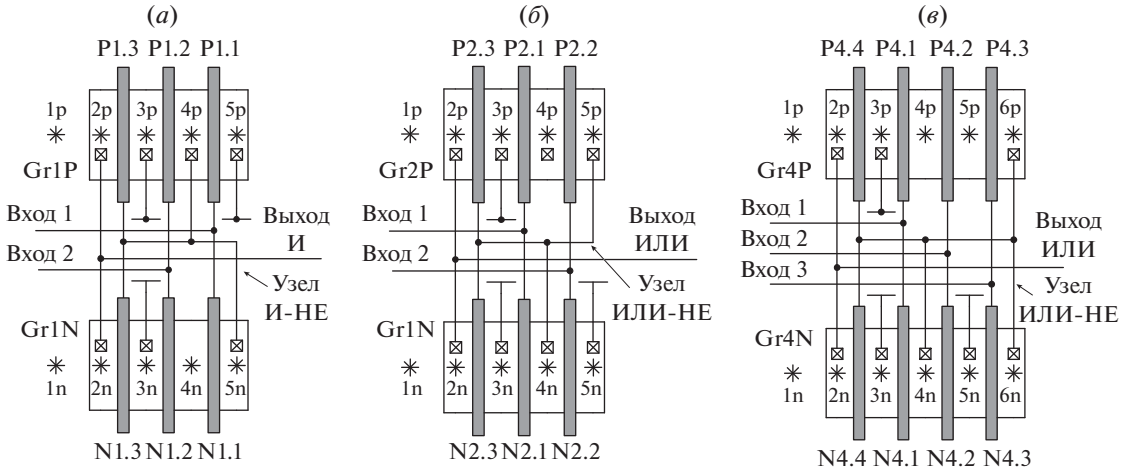

Рис. 2. Эскизы топологии КМОП логических элементов: (*а*) 2И; (*б*) 2ИЛИ; (*в*) 3ИЛИ.

рис. 1*а* из двух КМОП логических элементов D1, D2 (с логикой 2И и 2ИЛИ), а на рис. 3*б* по схеме на рис. 1*б* из двух КМОП логических элементов D1 (2И) и D4 (3ИЛИ). Эскизы структур моделей на рис. 3*а* и рис. 3*б* включают КМОП транзисторы групп Gr1N, Gr1P элемента 2И и групп Gr2N, Gr2P и Gr4N, Gr4P элементов 2ИЛИ и 3ИЛИ. Физические модели транзисторов выполнены на основе моделей по объемной 65-нм технологии с использованием методики, представленной в работе [12] с подбором соответствия технологическим параметрам, поставляемым фабрикой.

Средствами физического моделирования TCAD моделировались процессы генерации носителей заряда при передаче им энергии с трека в кремнии и процессы сбора заряда транзисторами в элементах И и ИЛИ, представленными электрическими схемами на рис. 1*а* и рис. 1*б*. Средствами SPICE моделировались характеристики элементов, которые обеспечивали передачу сигналов на вход элемента ИЛИ и представлены функциональными обозначениями логических элементов D2, D3, D4, D5 на рис. 1.

Кремниевые области групп Gr1N и Gr1P элемента 2И (D1 на рис. 1*а* и рис. 1*б*), а также групп Gr2N и Gr2P элемента 2ИЛИ (D2 на рис. 2) в составе физических приборных моделей имеют размеры 885 × 400 × 400 нм^3, а групп Gr4N и Gr4P элемента 3ИЛИ (D4 на рис. 1*б*) – 1180 × 800 × 400 нм^3 и окружены мелкой траншейной изоляцией с глубиной 400 нм (shallow trench isolation – STI). Ширина транзисторов элементов 2И и 2ИЛИ составляет 400 нм, а элемента 3ИЛИ составляет 800 нм. В качестве тестовых воздействий в работе были

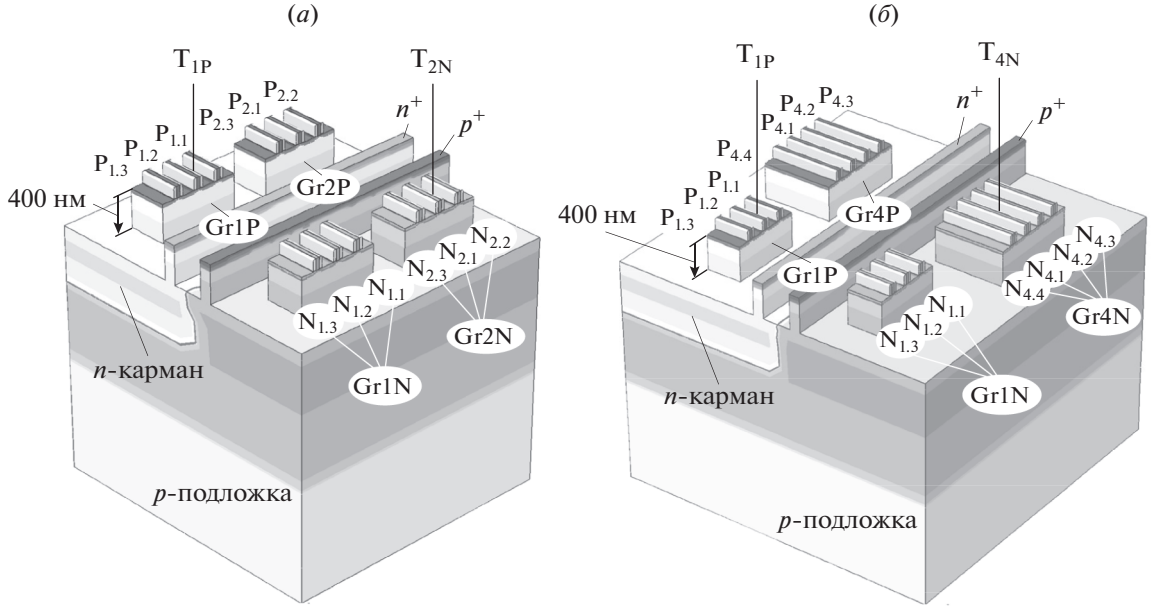

Рис. 3. Приборные 3D TCAD физические модели логических элементов, использованные при гибридном TCAD-SPICE моделировании тройных мажоритарных элементов: (*а*) на 2И и 2ИЛИ КМОП логических элементах; (*б*) на 2И и 3ИЛИ КМОП логических элементах.

использованы воздействия зарядом с треков одиночных частиц, энергетическая составляющая воздействия которых характеризуется линейной передачей энергии на трек (linear energy transfer – LET) [13]. При моделировании использованы треки по нормали к поверхности приборных моделей, как показано на рис. 3, где даны треки T_{1P} с точками входа треков 4p в группы транзисторов Gr1P элементов 2И, а также треки T_{2N} и T_{4N} с точками входа треков 4n в группы транзисторов Gr2N и Gr4N элементов 2ИЛИ и 3ИЛИ.

Для наглядности состава физических приборных частей моделей из эскизов на рис. 3 убрано изображение областей разделительного мелкого слоя оксида толщиной 400 нм, охватывающего кремниевые области транзисторов групп Gr1N, Gr1P и других. Области с обозначениями *n*+ и *p*+ на рис. 3 являются фрагментами защитных колец. Маркерами “звездочка” на эскизах топологий элементов И и ИЛИ на рис. 2 отмечены точки входа треков одиночных частиц в элементы с направлением трека по нормали к поверхности приборной модели.

3. МОДЕЛИРОВАНИЕ ИМПУЛЬСОВ ПОМЕХ ПРИ СБОРЕ ТРАНЗИСТОРАМИ ЗАРЯДА С ТРЕКОВ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ

Алгоритм работы тройного мажоритарного элемента заключается в получении выходного сигнала, который соответствует совпадению как минимум двух входных сигналов из трех. В этом случае два одинаковых сигнала управляют правильным переключением только одного из трех элементов И, в данном случае D1 (рис. 1), и элементов D2 (2ИЛИ на рис. 1*а*) и D4 (3ИЛИ на рис. 1*а*), которые выбраны для TCAD моделирования. Для получения достоверных данных о влиянии импульсов помех на выход мажоритарного элемента достаточно моделирования средствами TCAD входного элемента D1 (2И) и следующего в цепочке элемента D2 (2ИЛИ) или D4 (3ИЛИ) с двумя вариантами входных сигналов: A = B = C = 0 и A = B =1, C = 0 (или A = B = C = 1).

3.1. Сбор заряда с трека частицы в элементе 2И

На рис. 2*а* приведен эскиз топологии элемента 2И. Точки входа трека находятся в группе РМОП транзисторов Gr1P. Маркером “звездочка” на рис. 2*а* отмечены точки входа трека одиночной частицы с направлением трека по нормали к поверхности приборной модели. Точка входа трека 4p соответствует треку при значениях линейной передачи энергии на трек в диапазоне 10–90 МэВ · см^2/мг. Точки входа трека 3p и 5p соответствует трекам при LET = 60 МэВ · см^2/мг. На рис. 4 приведены зависимости, иллюстрирующие формирование импульсов помех на узлах элемента 2И при сборе заряда с трека одиночной частицы при сигналах на входах мажоритарного элемента A = B = 1, C = 0.

Запертый РМОП транзистор инвертора после образования трека и переключения инвертора начинает собирать заряд (дырки), что увеличивает напряжение на выходе инвертора, что формирует на выходе элемента 2И перепад напряжения по-

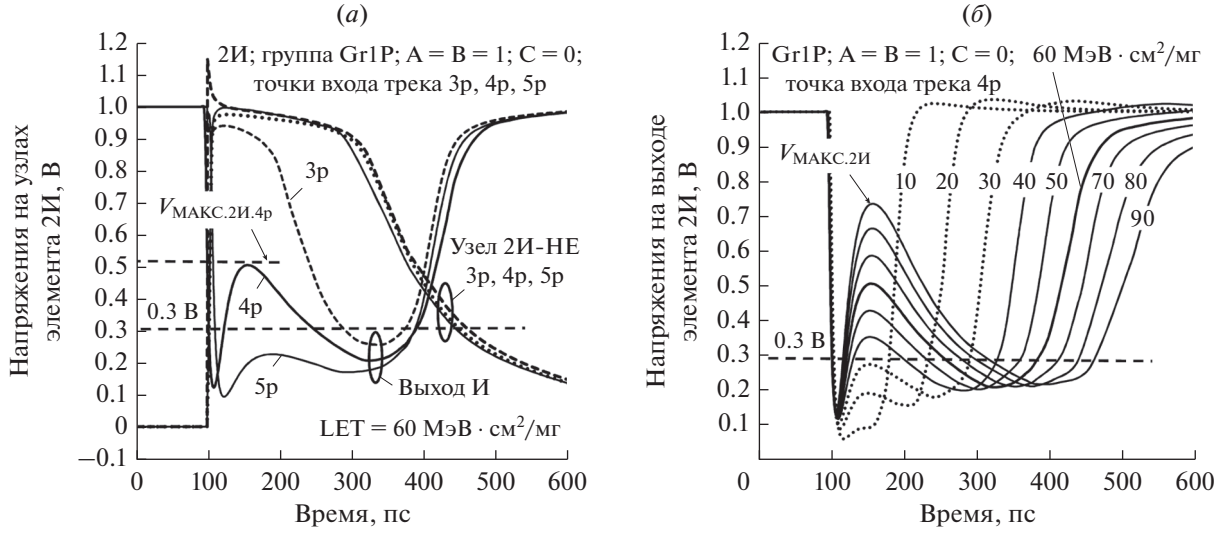

Рис. 4. Зависимости напряжений на узлах элемента 2И при сигналах на TMG входах A = B = 1; C = 0, точки входа трека в элемент 2И-НЕ группы Gr1P: (*а*) трек с LET = 60 МэВ · см^2/мг, точки входа трека 3p, 4p и 5p; (*б*) точка входа трека 4p, LET = 10–90 МэВ · см^2/мг.

ложительной полярности, по окончанию которого начинает формироваться фронт импульса помехи отрицательной полярности.

На рис. 4*а* приведены зависимости напряжения на узлах элемента 2И для треков с точками входа 3p, 4p и 5p при LET = 60 МэВ · см^2/мг. Амплитуда перепада положительной полярности на выходе элемента 2И при сборе заряда с трека с точкой входа 4p составляет $V_{МАКС.2И.4p}$ = 0.505 В (рис. 4*а*).

Установлено, что амплитуда данного перепада на выходе элемента 2И при сборе заряда инвертором не поднимается выше отмеченного на рис. 4*б* максимума $V_{МАКС.И}$ = 0.735 В при LET = = 90 МэВ · см^2/мг при сборе заряда РМОП транзистором инвертора. В результате перед образованием фронта импульса помехи отрицательной полярности практически отсутствует “плато” напряжения на выходе 2И, а сразу начинает формироваться импульс помехи. Дополнительная задержка образования импульса помехи по уровню 0.3 В происходит за счет превышения напряжения 0.3 В амплитудой импульса положительной полярности при сборе большого заряда РМОП транзистором инвертора при LET > 40 МэВ · см^2/мг (рис. 4*б*).

Фронт импульса отрицательной полярности на выходе элемента 2И формируется током открытого NMOП транзистора инвертора, разряжающим емкость выходного узла 2И при запертом РМОП транзисторе инвертора. Амплитудные значения импульсов помех на выходе элемента 2И при всех LET в диапазоне 10–90 МэВ · см^2/мг образуются, когда на узле И-НЕ напряжение в диапазоне 0.75–0.85 В и РМОП транзистор этого узла заперт.

После достижения помехой амплитудного значения начинается переключение инвертора. При этом на выходе 2И увеличивается напряжение, когда на узле 2И-НЕ и входе инвертора напряжение опускается ниже 0.7 В относительно напряжения на общей шине элемента (примеры для LET = 60 МэВ · см^2/мг даны на рис. 4). В итоге на выходе 2И после импульса помехи восстанавливается стационарное состояние логической единицы, соответствующее сигналам на входах мажоритарного элемента.

3.2. Образование импульсов помех в элементах ИЛИ на примере элемента 2ИЛИ

На рис. 1*а* приведена схема типового двухвходового КМОП элемента 2ИЛИ в составе тройного мажоритарного элемента, содержащего элемент 2ИЛИ-НЕ и инвертор.

В исходном состоянии мажоритарного элемента с сигналами на входах A = B = C = 0 NMOП транзисторы узла 2ИЛИ-НЕ заперты в элементе 2ИЛИ, а NMOП транзистор инвертора открыт. Трек частицы с точкой входа трека 4n проходит через общую область стоков NMOП транзисторов N2.1 и N2.2 группы Gr2N. Маркером “звездочка” на рис. 2*б* отмечены точки входа трека одиночной частицы с направлением трека по нормали к поверхности приборной модели. Моделирование сбора заряда транзисторами при линейной передаче энергии на трек в диапазоне 10–90 МэВ · см^2/мг проведено для трека частицы с точкой входа трека 4n, которая находится в общей области стоков NMOП транзисторов N2.1 и N2.2 группы Gr2N. Была использованы приборная 3D TCAD физическая модель элемента D2 (2ИЛИ) с структурой на рис. 3*а*.

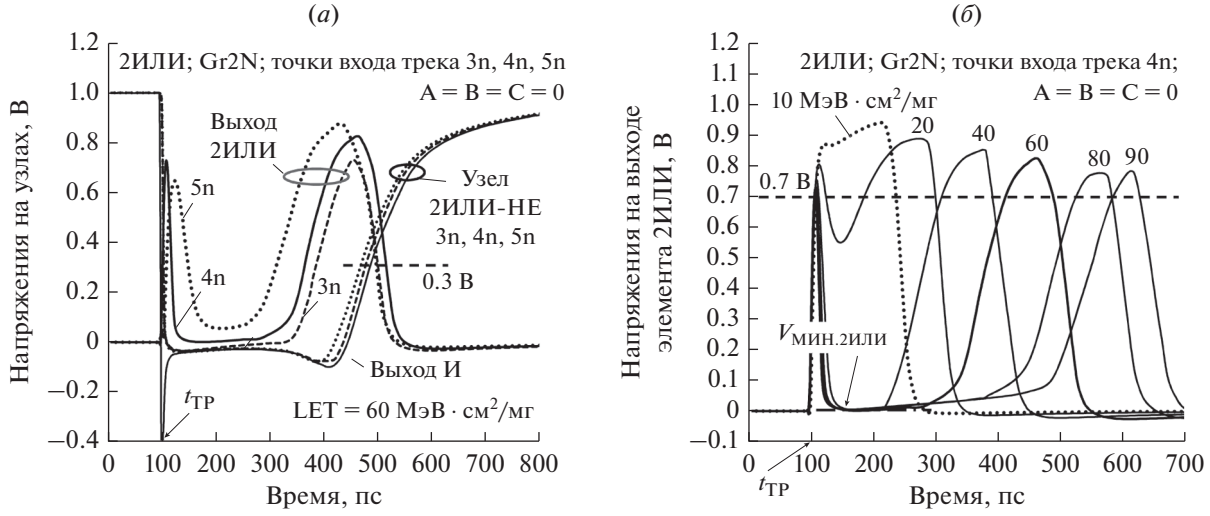

Рис. 5. Зависимости напряжений на узлах элемента 2ИЛИ при сигналах на TMG входах A = B = C = 0, точки входа трека в элемент 2ИЛИ-НЕ группы Gr2N: (*а*) трек с LET = 60 МэВ · см^2/мг, точки входа трека 3n, 4n и 5n; (*б*) точка входа трека 4n, LET = 20–90 МэВ · см^2/мг.

Сбор заряда сразу после образования трека при всех LET = 10–90 МэВ · см^2/мг с данными точками входа трека переводит NMOП транзисторы узла 2ИЛИ-НЕ в инверсное смещение с напряжением на узле $V_{2ИЛИ\text{-}НЕ} = -0.4$ В. При этом запирается NMOП транзистор инвертора, что переключает инвертор и выход 2ИЛИ в состояние с $V_{ВЫХ.2ИЛИ\text{-}НЕ} = 0.9$ В. На рис. 5 приведены зависимости напряжений на узле 2ИЛИ-НЕ и выходе элемента 2ИЛИ при сигналах на входах мажоритарного элемента A = B = C = 0, точки входа трека 3n, 4n и 5n в группу транзисторов Gr2N для треков с LET = 60 МэВ · см^2/мг (рис. 5*а*), а на рис. 5*б* приведены зависимости импульсов помех на выходе 2ИЛИ, образующихся при сборе заряда с трека при линейной передаче энергии на трек в диапазоне LET = 10–90 МэВ · см^2/мг при точке входа трека 4n.

При LET = 10 МэВ · см^2/мг заряд, который переводит NMOП транзисторы узла 2ИЛИ-НЕ в инверсное смещение, оказывается достаточным только для того, чтобы этим переключить инвертор и сохранить его на 110 пс в переключенном состоянии (рис. 5*б*), что образует на выходе 2ИЛИ импульс помехи положительной амплитудой 0.98 В и длительностью 110 пс по уровню 0.7 В. При LET = 20–90 МэВ · см^2/мг заряда на треке оказывается достаточно, чтобы после переключения инвертора его запертый NMOП транзистор N2.3 начал сбор заряда (электроны) с трека частицы через обратно смещенный *pn*-переход сток-подложка, что понижает напряжение на выходе 2ИЛИ, образуя импульс напряжения отрицательной полярности (рис. 5) для задержки помехи.

При LET ≥ 50 МэВ · см^2/мг напряжение на стоке собирающего заряд запертого NMOП транзистора инвертора и выходе 2ИЛИ снижается до уровня $V_{ВЫХ.2ИЛИ} \le +(0.002–0.006)$ В. Этот уровень напряжения удерживается на емкости выходного узла 2ИЛИ при дальнейшем сборе заряда с трека, формируя импульс отрицательной полярности с плоской вершиной (рис. 5*б*). В это время на выходе 2ИЛИ сохраняется состояние “плато” с медленно возрастающим напряжением для треков в диапазоне LET = 50–90 МэВ · см^2/мг (рис. 5*б*), обусловленное динамическим сохранением баланса напряжения на емкости выходного узла 2ИЛИ, поддерживаемым сбором заряда электронов с трека (через обратно смещенные *pn*-переходы сток-подложка двух NMOП транзисторов с общей областью стоков) и зарядом узла 2ИЛИ током цепочки из двух открытых PMOП транзисторов P2.1 и P2.2 группы Gr2P (схема на рис. 1*а*). Состояние “плато” формирует задержку образования на выходе 2ИЛИ импульса помехи положительной полярности.

Формирование фронта импульса помехи положительной полярности на выходе 2ИЛИ происходит за счет заряда емкости узла выхода 2ИЛИ током открытого PMOП транзистора инвертора. Этот процесс начинается при нарушении баланса, обеспечивающего “плато” как медленно возрастающего напряжения на выходе 2ИЛИ, что происходит при превышении напряжения на выходе элемента уровня $V_{ВЫХ.2ИЛИ} = +(0.06–0.08)$ В. Нарушение баланса снижением сбора заряда электронов NMOП транзистором инвертора усиливает сбор заряда двумя NMOП транзисторами N2.1 и N2.2 узла 2ИЛИ-НЕ. Это иллюстрирует зависимость напряжения на узле 2ИЛИ-НЕ на рис. 5*а* при LET = 60 МэВ · см^2/мг в интервале времени $t = 300–400$ пс, когда напряжение на узле 2ИЛИ-НЕ снижается от −0.023 до −0.1 В. В этот интервал времени $t = 300–400$ пс и формируется на вы-

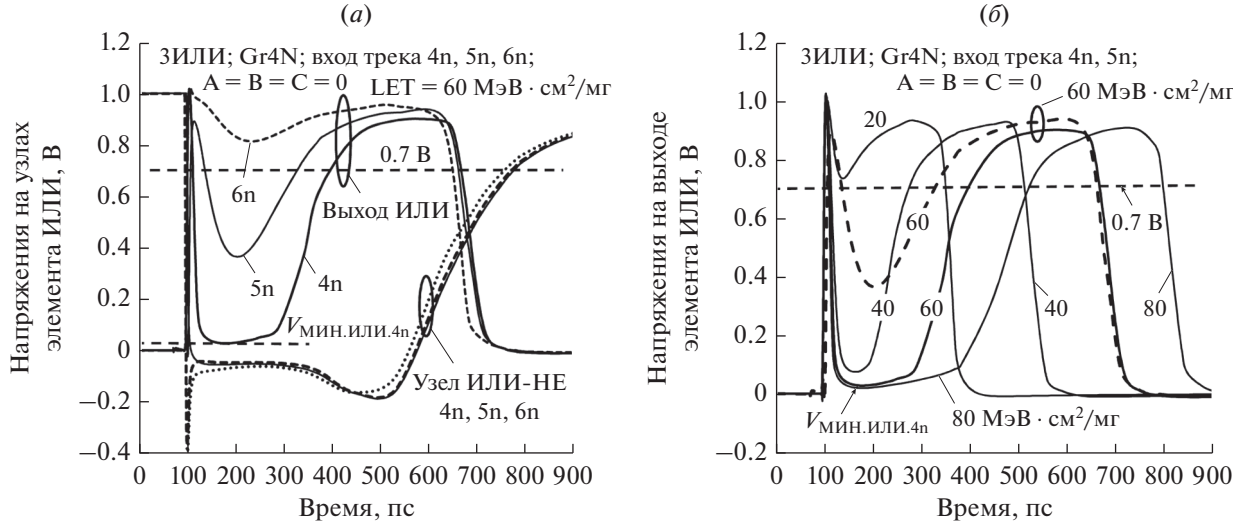

Рис. 6. Зависимости напряжений на узлах элемента 3ИЛИ при сигналах на TMG входах A = B = C = 0, точки входа трека в элемент 3ИЛИ-НЕ группы Gr4N: (*а*) трек с LET = 60 МэВ · см^2/мг, точки входа трека 4n, 5n и 6n; (*б*) точки входа трека 4n (сплошные линии) LET = 20–80 МэВ · см^2/мг, 5n (штриховая линия) LET = 60 МэВ · см^2/мг.

ходе 2ИЛИ фронт помехи положительной полярности без активного сбора заряда с трека NMOП транзисторами группы Gr2N.

Фронт импульса помехи формируется зарядом емкости выходного узла 2ИЛИ током открытого PMOП транзистора инвертора при его запертом NMOП транзисторе. Амплитудные значения импульсов помех в диапазоне LET = 10–90 МэВ · см^2/мг (рис. 5*б*) достигаются на выходе 2ИЛИ, когда NMOП транзисторы этого узла заперты, а PMOП транзисторы открыты при напряжении на узле 2ИЛИ-НЕ и входе инвертора в диапазоне 0.05–0.15 В. Увеличение сверх 0.1–0.15 В напряжения на узле 2ИЛИ-НЕ за счет заряда емкости этого узла током цепочки из двух открытых PMOП транзисторов P2.1 и P2.2 переключает инвертор, что снижает напряжение на выходе 2ИЛИ и восстанавливает исходное стационарное значение $V_{вых.2или}$ = 0 В. После завершения формирования на выходе 2ИЛИ импульса помехи продолжается заряд емкости узла 2ИЛИ-НЕ током открытых PMOП транзисторов этого узла до установления на нем напряжения шины питания $V_{и.п}$ = 1 В.

3.3. Особенности сбора заряда с трека в элементе 3ИЛИ

На рис. 6 приведены зависимости, иллюстрирующие формирование импульсов помех на узлах элемента 3ИЛИ при сигналах на входах мажоритарного элемента A = B = C = 0. Трек возникает при t = 100 пс.

На рис. 2*в* приведен эскиз топологии элемента 3ИЛИ. Точки входа трека находятся в группе NMOП транзисторов Gr4N. Маркером “звездочка” на рис. 2*в* отмечены точки входа трека одиночной частицы с направлением трека по нормали к поверхности приборной модели. Точка входа трека 4n соответствует треку при значениях линейной передачи энергии на трек в диапазоне 10–90 МэВ · см^2/мг. Точки входа трека 4n, 5n и 6n соответствует трекам с LET = 60 МэВ · см^2/мг.

В случае элемента ИЛИ после переключения инвертора при образовании трека как с точкой входа трека 4n, так и 5n, то при дальнейшем сборе заряда NMOП транзистором инвертора происходит снижение напряжения на его стоке (выходе 3ИЛИ) до минимума (рис. 6), характерного для конкретного значения LET. На рис. 6*а* приведены зависимости напряжений на узлах элемента 3ИЛИ; на рис. 6*б* – для элемента 3ИЛИ с треками с точкой входа 4n при значениях линейной передачи энергии на трек в диапазоне 10–80 МэВ · см^2/мг.

Для элемента 3ИЛИ с точкой входа трека 4n в случае, когда минимум напряжения на выходе 3ИЛИ попадает в диапазон $V_{мин.или4n}$ = +(0.02–0.04) В, то на выходном узле 3ИЛИ образуется “плато” с последующим незначительно возрастающим напряжением (рис. 6*б*), что формирует задержку начала формирования импульса помехи и уменьшает длительность импульса помехи. Образование “плато” происходит при LET > 40 МэВ · см^2/мг (рис. 6*б*). На рис. 6*б* приведена для примера только одна зависимость для точки входа трека 5n при LET = 60 МэВ · см^2/мг (штриховая линия). Эта зависимость на начальном этапе сбора заряда с трека до 300 пс заметно отличается из-за задержки диффузионного распространения заряда до NMOП транзистора N4.4 инвертора (см. рис. 2*в*) по сравнению с зависимостью для точки входа трека 4n при том же LET = 60 МэВ · см^2/мг (сплошная линия на рис. 6*б*), что исключает образование “плато”

Таблица 1. Значения экстремумов напряжения на выходах элементов относительно напряжения на общей шине 0 В: $V_{МАКС}$(LET) на выходе элемента 2И, $V_{МИН}$(LET) в элементах 2ИЛИ, 3ИЛИ для LET в диапазоне 10–90 МэВ · см^2/мг

LET, МэВ · см^2/мг	10	20	30	40	50	60	70	80	90
$V_{МАКС.2И}$ (4p), В	0.100	0.190	0.273	0.370	0.427	0.505	0.685	0.661	0.735
$V_{МИН.2ИЛИ}$ (4n), В	0.868	0.553	0.047	**0.006**	**0.001**	**0.001**	**0.002**	**0.004**	**0.005**
$V_{МИН.3ИЛИ}$ (4n), В	0.920	0.735	0.320	0.075	0.040	**0.030**	**0.020**	**0.020**	**0.020**
$V_{МИН.3ИЛИ}$ (5n), В	0.977	0.95	0.90	0.77	0.59	0.36	0.17	**0.105**	**0.083**

и увеличивает длительность импульса помехи по уровню 0.7 В.

Фронт импульса помехи на выходе элемента 3ИЛИ для трека с точками входа 4n, 5n формируется, как и в случае элемента 2ИЛИ, увеличением напряжения на узле выхода 3ИЛИ за счет заряда емкости узла током открытого PMOП транзистора инвертора до окончания сбора и вывода заряда NMOП транзисторами узла ИЛИ-НЕ. Амплитудные значения импульсов помех на выходе 3ИЛИ при всех LET = 10–90 МэВ · см^2/мг достигаются при напряжениях на узле ИЛИ-НЕ как и в элементе 2ИЛИ диапазоне 0–0.1 В (рис. 6*а*) при запертом по затвору NMOП транзисторе инвертора.

В табл. 1 приведены значения экстремумов напряжений на выходах элементов 2И, 2ИЛИ и 3ИЛИ относительно напряжения на общей шине 0 В после переключения инвертора элемента, вызванного сбором заряда запертым транзистором инвертора.

В табл. 1 “жирным” шрифтом отмечены напряжения на выходах элементов, когда начинается образовываться “плато” при данном LET, что говорит об образовании процесса, существенно укорачивающего длительность помехи. В элементе 2И плато не образуется, в элементе 2ИЛИ плато образуется для LET = 40–90 МэВ · см^2/мг, а в элементе 3ИЛИ для LET = 60–90 МэВ · см^2/мг при точке входа трека 4n и всего лишь для LET = = 80–90 МэВ · см^2/мг при точке входа трека 5n.

4. АНАЛИЗ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ ДЛИТЕЛЬНОСТИ ИМПУЛЬСОВ ПОМЕХ В ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

4.1. Элемент 2И

Импульс помехи на выходе логического элемента становится ложным сигналом, когда его амплитуда превышает порог переключения следующего элемента в цепочке.

Временные параметры включают длительности импульсов помех на выходах элементов и задержек их образования относительно момента смены сигналов на входах элементов. Эти длительности на выходе элементов И, ИЛИ и узлах И-НЕ, ИЛИ-НЕ определены по уровню 0.7 В относительно пьедесталов импульсов помех. Значения задержки импульса помехи определены до момента времени достижения фронтом импульса помехи на выходе элемента порогового уровня, от которого отсчитывается длительность импульса помехи.

Зависимости на рис. 7 характеризуют параметры импульсов помех в элементе 2И с точкой входа трека 4p в диапазоне 10–90 МэВ · см^2/мг при сигналах на входах мажоритарного элемента A = B = 1, C = 0.

Длительность импульса помехи на узле 2И-НЕ $t_{ИМП.2И\text{-}НЕ}$ элемента 2И возрастает практически линейно, начиная с 30 до 90 МэВ · см^2/мг.

Длительность задержки фронта импульса помехи $t_{ЗД.ИМП.2И}$ (рис. 7) *элемента* И возрастает практически синхронно с увеличением длительности импульса помехи на узле И-НЕ $t_{ИМП.2И\text{-}НЕ}$ с разницей между значениями их длительностей 100–110 пс.

Длительность импульса помехи на выходе И повторяет с небольшим увеличением (рис. 7) длительность импульса помехи на узле 2И-НЕ в интервале LET = 10–20 МэВ · см^2/мг, а начиная с 30 МэВ · см^2/мг, длительность импульсов помех на выходе 2И снижается, ограничиваясь значениями 140–150 пс, что сохраняется до LET = 90 МэВ · см^2/мг.

4.2. Элемент 2ИЛИ

На рис. 8 приведены зависимости временных параметров импульсов помех элемента 2ИЛИ с точкой входа трека 4n для LET в диапазоне 10–90 МэВ · см^2/мг при сигналах на входах мажоритарного элемента A = B = C = 0.

Длительность импульса помехи на узле 2ИЛИ-НЕ $t_{ИМП.2ИЛИ\text{-}НЕ}$ возрастает линейно при значениях LET в диапазоне 10–90 МэВ · см^2/мг и может быть оценена по следующему выражению: $t_{ИМП.2ИЛИ\text{-}НЕ} = 95.5$ пс + $5.0 \times (LET/LET_1)$ пс, где $LET_1 = 1$ МэВ · см^2/мг – коэффициент нормировки.

Длительность задержки фронта импульса помехи $t_{ЗД.ИМП.2ИЛИ}$ элемента 2ИЛИ при точке входа трека 4n возрастает практически линейно при значениях LET ≥ 20 МэВ · см^2/мг.

Длительность импульса помехи на выходе элемента 2ИЛИ $t_{ИМП.2ИЛИ}$ (рис. 8) монотонно снижа-

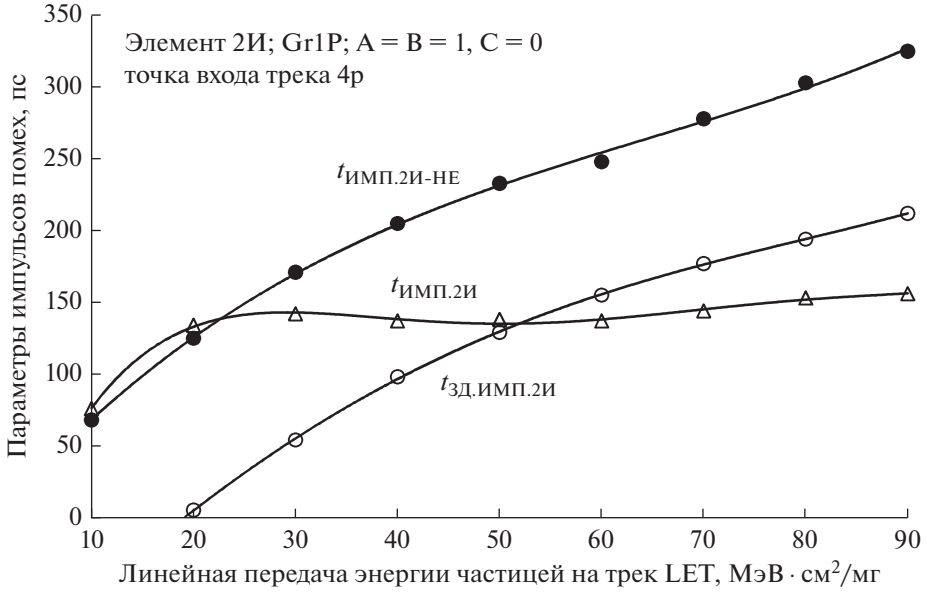

Рис. 7. Длительности импульса помехи и его задержки на выходе элемента 2И, длительность импульса помехи на узле 2И-НЕ в зависимости от линейной передачи энергии частицей на трек при точке входа трека 4p в группе транзисторов Gr1P элемента И, на входах A = B = 1, C = 0.

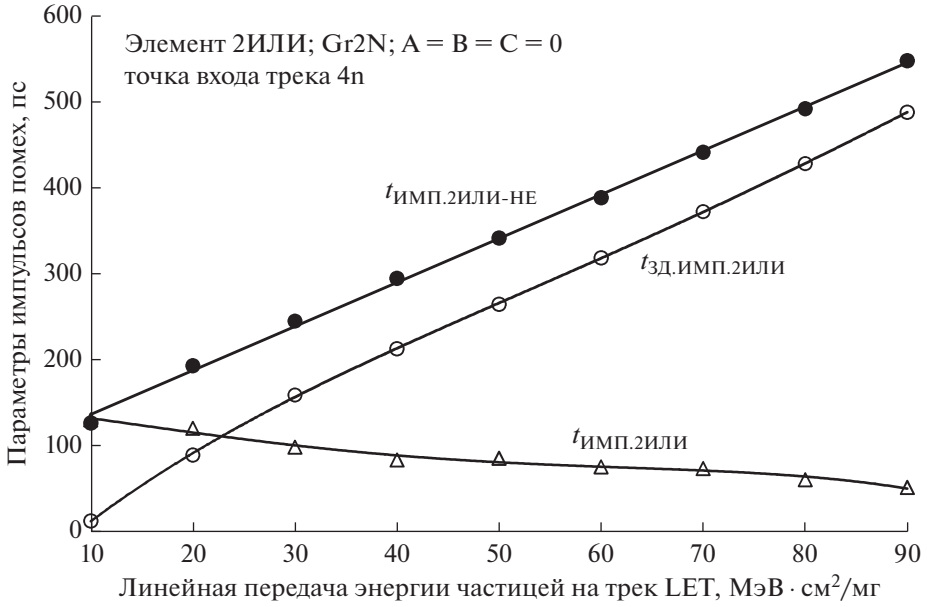

Рис. 8. Длительности импульса помехи и его задержки на выходе элемента 2ИЛИ, длительность импульса помехи на узле ИЛИ-НЕ в зависимости от линейной передачи энергии частицей на трек при точке входа трека 4n в группе транзисторов Gr2N элемента ИЛИ, на входах A = B = C = 0.

ется от значения 125 до 80 пс в диапазоне LET от 10 до 50 МэВ · см^2/мг и далее снижается до 43 пс при увеличении LET до 90 МэВ · см^2/мг.

При всех LET = 10–90 МэВ · см^2/мг момент окончания сбора заряда с трека наступает, когда напряжение на узлах ИЛИ-НЕ из области отрицательных значений переходит в положительные, то есть при 0 В на узле ИЛИ-НЕ. Через 10–25 пс после этого момента импульс помехи на выходе элементов ИЛИ достигает максимального амплитудного значения, при этом напряжение на узле ИЛИ-НЕ и входе инвертора имеет значение (0.1 ± 0.02) В, когда NMOП транзистор инвертора еще заперт, а напряжение на его стоке равно амплитудному значению импульса помехи.

4.3. Элемент 3ИЛИ

Импульс помехи на выходе логического элемента становится ложным сигналом, когда его

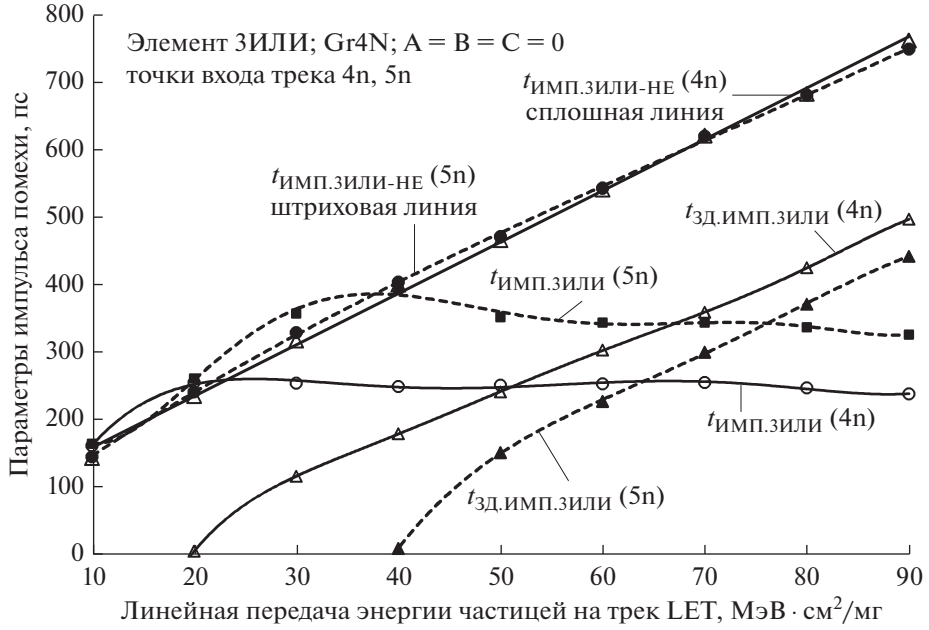

Рис. 9. Длительности импульсов помех на выходе элемента 3ИЛИ, узле 3ИЛИ-НЕ и длительности задержки импульса помех на выходе элемента 3ИЛИ в зависимости от линейной передачи энергии частицей на трек при точках входа трека 4n и 5n в группе транзисторов Gr4N элемента 3ИЛИ.

амплитуда превышает порог переключения следующего элемента в цепочке.

На рис. 9 приведены зависимости временных параметров импульсов помех на выходе элемента 3ИЛИ с точками входа трека 4n и 5n в диапазоне 10–90 МэВ · см^2/мг линейного переноса энергии на трек при сигналах на входах мажоритарного элемента A = B = C = 0. Эти зависимости включают длительности импульсов отрицательной полярности на узле 3ИЛИ-НЕ $t_{имп.зили-не}$ по уровню 0.3 В, длительности импульсов помех на выходе 3ИЛИ $t_{имп.зили}$ по уровню 0.7 В, а также зависимости задержки нарастания импульса помехи на выходе 3ИЛИ $t_{зд.имп.зили}$ до уровня 0.7 В.

Длительности импульсов помех, возникающих при сборе заряда на узле 3ИЛИ-НЕ для точек входа трека 4n и 5n, являются линейными функциями переноса энергии отдельными частицами на трек. Эти зависимости на рис. 9 практически одинаковы в диапазоне 10–90 МэВ · см^2/мг для входных точек трека 4n и 5n и не зависят от положения трека как 6n (рис. 6*а*). Эти зависимости для узла 3ИЛИ-НЕ характеризуют суммарный собранный заряд с трека в группе Gr4N из четырех NMOП транзисторов (рис. 2*в*) для соответствующего значения LET частицы. Длительности импульсов на узле 2ИЛИ-НЕ $t_{имп.2или-не}$ элемента 2ИЛИ меньше в 1.24–1.36 раза, чем длительности импульсов на узле 3ИЛИ-НЕ $t_{имп.зили-не}$ элемента 3ИЛИ при тех же LET в диапазоне 20–90 МэВ · см^2/мг.

Длительность импульса помехи, образующегося на узле 3ИЛИ-НЕ элементов 3ИЛИ возрастает линейно в зависимости от LET в диапазоне 20–90 МэВ · см^2/мг и может быть оценена по следующему выражению:

$$t_{имп.зили-не} = 97.5 \text{ пс} + 7.3 \times (\text{LET}/\text{LET}_1) \text{ пс},$$

где $\text{LET}_1 = 1$ МэВ · см^2/мг – коэффициент нормировки.

Длительность импульса помехи на выходе 3ИЛИ $t_{имп.зили}$ повторяет с небольшим увеличением длительность импульса на узле 3ИЛИ-НЕ $t_{имп.зили-не}$ (рис. 9) в интервале LET = 10–20 МэВ · см^2/мг при треке с точкой входа 4n и в интервале LET = 10–40 МэВ · см^2/мг при треке с точкой входа 5n. При этом происходит просто инверсия на выход 3ИЛИ импульса с узла 3ИЛИ-НЕ с небольшой дополнительной задержкой. Снижение длительности импульса помехи выходе 3ИЛИ происходит при LET более 30 МэВ · см^2/мг для трека с точкой входа 4n и при LET более 40 МэВ · см^2/мг для трека с точкой входа 5n (рис. 9). Длительность импульсов помех снижается до уровня 250 пс для точки трека 4n и до 350 пс для точки входа трека 5n для элемента 3ИЛИ.

Длительность задержки нарастания импульса помехи до уровня 0.7 В на выходе 3ИЛИ $t_{зд.имп.зили}$ (рис. 9) является практически линейной функцией значений LET, начиная с 30 МэВ · см^2/мг для входной точки трека 4n, и с 50 МэВ · см^2/мг для точки 5n. Разница между длительностью импульса на узле 3ИЛИ-НЕ $t_{имп.зили-не}$ и длительностью задержки импульса помехи на выходе 3ИЛИ $t_{зд.имп.зили}$ составляет 200–265 пс при точке вхо-

да трека 4n и 310–330 пс при точке входа трека 5n. Для точки входа трека 4n значения задержки увеличиваются на 60 пс (рис. 9) при каждом приращении LET на 10 МэВ · см^2/мг из-за удлинения “плато” уровня напряжения перед импульсом помехи. Задержки в случае точки входа трека 5n при отсутствии “плато” меньше на 60–110 пс.

Общим результатом для элементов 2ИЛИ и 3ИЛИ при сборе заряда электронов при точках входа трека 4n является линейная зависимость длительности задержки нарастания импульсов $t_{\text{зд.пом.или}}$ от значения LET ≥ 30 МэВ · см^2/мг, а также незначительное отличие задержек образования импульсов помех по уровню 0.7 В у элемента 3ИЛИ $t_{\text{зд.имп.3или}}$ (рис. 9) по сравнению с задержками в элементе 2ИЛИ $t_{\text{зд.имп.2или}}$ (рис. 8) – всего на 35–15 пс больше у элемента 3ИЛИ для LET = 40–70 МэВ · см^2/мг. Введение транзисторов дополнительного инвертора снижает задержки нарастания импульса помехи [4] на выходах элементов 2ИЛИ и 3ИЛИ на 60–35 пс.

ЗАКЛЮЧЕНИЕ

Представленный анализ особенностей элементов полезен при проектировании КМОП микропроцессорных систем космического назначения. Моделирование характеристик сбора заряда с треков одиночных частиц средствами TCAD проведено для точек входа трека в области групп транзисторов КМОП логических элементов, содержащих по три и четыре транзистора. Эти транзисторы активно участвуют в сборе заряда с треков одиночных ионизирующих частиц и воздействия на эти группы приводят к возникновению на выходах элементов импульсов помех. В результате проведенного исследования установлено, что увеличение задержки образования импульсов помехи на выходах логических элементов ИЛИ и И при сборе заряда с трека группами из трех транзисторов, выполненных в минимальном объеме кремния, ограниченном мелкой траншейной изоляцией, приводит к уменьшению длительности импульсов помех при треках с линейной передачей энергии свыше 30–40 МэВ · см^2/мг за счет эффекта блокировки сбора заряда транзисторами инверторов элементов И и ИЛИ. Длительности импульсов помех на выходе элемента И, ИЛИ и соответственно на выходе TMG при сборе заряда с трека с точкой входа в группы И-НЕ и ИЛИ-НЕ элементов за счет эффекта коррекции для элемента 2И не превышают 150 пс, на выходе 2ИЛИ не превышают 50–100 и 250–350 пс на выходе 3ИЛИ. Минимальные длительности помех наблюдаются в варианте TMG, выполненном только на 2-входовых элементах И и ИЛИ.

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

СПИСОК ЛИТЕРАТУРЫ

1. *Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R.* Production and propagation of single-event transients in high-speed digital logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.
2. *Dodd P.E., Massengill L.W.* Basic mechanisms and modeling of single-event upset in digital microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
3. *Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuva B.L., Massengill L.W.* Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
4. *Катунин Ю.В., Стенин В.Я.* Моделирование воздействия одиночных ионизирующих частиц на логические элементы КМОП тройного мажоритарного элемента // Микроэлектроника. 2020. Т. 49. № 3. С. 230–240.
5. *Oliveira Ingrid F.V., Schvittz R.B., Butzen P.F.* Fault masking ratio analysis of majority voters topologies // IEEE 19th Latin-American Test Symposium (LATS). 2018. P. 1–6.
6. *Schrape O., Breitenreiter A., Andjelkovic M., Krstic M.* D-SET Mitigation Using Common Clock Tree Insertion Techniques for Triple-Clock TMR Flip-Flop // 21st Euromicro Conference on Digital System Design (DSD). 2018. P. 201–205.
7. *Ne Kyaw Zwa Lwin, Sivaramakrishnan H., Kwen-Siong Chong, Tong Lin, Wei Shu, Chang J.S.* Single-Event-Transient Resilient Memory for DSP in Space Applications // IEEE 23rd International Conference on Digital Signal Processing (DSP). 2018. P. 1–5.
8. *Blum D.R., Delgado-Frias J.G.* Delay and Energy Analysis of SEU and SET-Tolerant Pipeline Latches and Flip-Flops // IEEE Transactions on Nuclear Science. 2009. V. 56. № 3. P. 1618–1628.
9. *Стенин В.Я.* Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц // Микроэлектроника. 2015. Т. 44. № 5. С. 368–379
10. *Стенин В.Я., Катунин Ю.В., Степанов П.В.* Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами // Микроэлектроника. 2016. Т. 45. № 6. С. 456–470.
11. *Jianwei Zhang, Yajun Li, Tao Han, Jinghu Li.* Radiation Hardened Design Based on TMR_5DFF for ASIC // IEEE 5th International Conference on Computer and Communications (ICCC). 2019. P. 981–986.
12. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
13. Soft errors in Modern Electronic Systems / Nicolaidis M., Ed. New York: Springer, 2011. P. 27–54.