——— ПРИБОРЫ МИКРОЭЛЕКТРОНИКИ ——

УДК 621.382.3:621.314

ИНТЕГРАЛЬНЫЙ КМОП-ПРЕОБРАЗОВАТЕЛЬ СВЧ ЭНЕРГИИ ДЛЯ ПАССИВНЫХ БЕСПРОВОДНЫХ УСТРОЙСТВ

© 2021 г. А. С. Синюкин^{а, *}, Б. Г. Коноплев^{а, **}

^аИнститут нанотехнологий, электроники и приборостроения Южного федерального университета, ул. Шевченко, 2, корпус "Е", Таганрог, Ростовская область, 347922 Россия

> *E-mail: sinyukin@sfedu.ru **E-mail: kbg@sfedu.ru Поступила в редакцию 30.05.2020 г. После доработки 30.06.2020 г. Принята к публикации 21.08.2020 г.

Разработан интегральный КМОП-преобразователь СВЧ энергии для пассивных беспроводных микроустройств. Предложена модификация схемы умножителя напряжения, позволяющая реализовать устройство с высокой эффективностью умножения по типовым КМОП-технологиям. Представлены компактные модели многокаскадных умножителей, учитывающие падения напряжения на наноразмерных МОП-транзисторах при работе в областях слабой и сильной инверсии. Исследована работа преобразователя на частоте 2.45 ГГц при различных уровнях входной мощности, включая крайне низкие уровни. Установлено, что для типовой КМОП-технологии 90 нм возможна работа устройства при крайне низких уровнях входной мощности (менее –20 дБм), что позволяет осуществлять функционирование беспроводных систем как при значительной удаленности от базовой станции, так и при сборе энергии радиочастотного излучения из окружающей среды.

Ключевые слова: интернет вещей, собирание энергии, умножитель напряжения, наноразмерные МОП-транзисторы, подпороговый режим работы

DOI: 10.31857/S0544126921020083

ВВЕДЕНИЕ

В настоящее время мобильные системы становятся все более распространенными в логистике, промышленности, торговле, а также в повседневной жизни. Значительная доля беспроводных систем относится к пассивным устройствам, т.е. к устройствам, в которых отсутствует встроенный источник питания, вследствие чего энергию для работы таким устройствам необходимо получать от связанных с ними базовых станций или считывающих устройств. Основными областями применения беспроводных пассивных устройств являются беспроводные сенсорные сети (WSN) [1, 2], технология радиочастотной идентификации (RFID) [3, 4], интернет вещей (ІоТ) [5, 6]. Во всех этих областях используются миниатюрные пассивные устройства, такие как датчики с приемо-передающими функциями или RFID-метки.

В некоторых приложениях, например в операциях логистической идентификации в торговых сетях или на складах, где значительные расстояния между источником энергии (считывающим устройством) и связанными с ним пассивными устройствами приводят к снижению передаваемой энергии, уровень энергии, поступающий на пассивное устройство, может быть слишком низким для формирования напряжения питания. Другой подход в обеспечении пассивных устройств энергией состоит в собирании энергии из окружающего пространства (Energy Harvesting) [7, 8]. В качестве источника энергии в этом случае выступает энергия излучения радио- и телевизионных станций, станций сотовой связи, сетей Wi-Fi, Bluetooth. Поскольку многие подобные источники работают на сверхвысоких частотах, этот диапазон частот является наиболее предпочтительным в пассивных беспроводных устройствах.

Энергия радиочастотного излучения не может быть непосредственно использована для питания интегральной схемы пассивного устройства, поэтому существует необходимость в использовании преобразователей радиочастотной энергии в напряжение постоянного тока. В качестве таких преобразователей в беспроводных пассивных устройствах часто выступают выпрямители или умножители напряжения на основе наноразмерных МОП-транзисторов [1–3]. Устройство, включающее в себя приемную антенну, устройство согласования импедансов антенны и выпрямителя и выпрямитель-умножитель, называется ректенной



Рис. 1. Принципиальная схема умножителя напряжения, основанная на МОП-транзисторах в диодном включении, с типовым (a) и предлагаемым (δ) соединением выводов транзисторов.

(Rectifier + Antenna). Выпрямитель-умножитель преобразует энергию радиочастотного излучения от приемной антенны в напряжение постоянного тока и формирует уровень напряжения, необходимый для питания остальных модулей устройства. Однако уровень входной мощности может быть очень низким, из-за чего актуальной задачей является разработка преобразователей энергии с высокой эффективностью умножения по напряжению, способных обеспечивать схему питанием даже в условиях крайне низких входных мощностей.

Важным фактором при разработке преобразователя энергии является используемая технология. С помощью более сложных технологий, в которых, например, реализуется изоляция транзисторов диэлектриком [9, 10] или применяются транзисторы с очень низким или нулевым пороговым напряжением [11, 12], возможно получить высокоэффективные устройства, однако стоимость производства также будет высока. Поэтому во многих случаях предпочтительнее использовать экономически более выгодные простые типовые технологии.

В работе предлагается новая модификация схемы умножителя напряжения на наноразмерных МОП-транзисторах и получены модели, описывающие работу умножителя в областях слабой и сильной инверсии МОП-транзистора.

ТЕОРЕТИЧЕСКИЙ АНАЛИЗ

Для выпрямления и умножения входного напряжения в беспроводных пассивных системах часто используются устройства на основе классического умножителя Диксона [13]. В случае, когда такие устройства строятся на основе МОП-транзисторов, вывод затвора каждого транзистора соединяется с выводом стока этого же транзистора для образования диодной структуры, а вывод подложки традиционно соединяется с общей шиной [4, 14], как показано на рис. 1*а*. Для увеличения уровня выходного напряжения прибегают к каскадированию. С увеличением числа каскадов умножения напряжение исток-подложка увеличивается для каждого последующего транзистора в цепи, вследствие влияния эффекта подложки увеличивается пороговое напряжение транзистора, и, как следствие, увеличивается падение напряжения на транзисторе в диодном включении, что негативно сказывается на эффективности умножения.

Для повышения уровня выходного напряжения и увеличения эффективности умножения типовая схема умножителя была модифицирована (рис. 16). Вывод подложки каждого транзистора в предлагаемой схеме соединен с выводом стока этого же транзистора для сохранения значения падения напряжения на транзисторе в диодном включении независящим от числа каскадов. Для реализации такого устройства по типовой КМОПтехнологии *n*-канальные МОП-транзисторы были заменены на *p*-канальные.

Для анализа работы умножителей напряжения и обоснования выбора параметров входящих в них элементов желательно иметь простые аналитические модели этих устройств.

К настоящему времени разработано большое число моделей выпрямителей и умножителей напряжения. Численная модель в [10], основанная на экспериментальных вольтамперных характеристиках МОП-транзисторов в диодном включении, отличается точностью, но не позволяет аналитически прогнозировать влияние различных параметров на выходные характеристики. Из-за низких уровней входной мощности, поступающей на пассивные устройства, и, соответственно, низкой амплитуды входного напряжения наноразмерные МОП-транзисторы в преобразователях энергии часто работают в подпороговом режиме, поэтому важно учитывать особенности работы транзисторов в режиме слабой инверсии. Однако в аналитических моделях [2, 15] вкладом подпороговых токов на результирующие характеристики пренебрегают. В модели [16] принимается во внимание влияние нагрузочного тока на падение напряжения на диоде, однако влияние подложки не рассматривается. Модель, представленная в [17], охватывает области как сильной. так и слабой инверсии, однако она построена на основе эмпирических выражений и не позволяет получить обобщенные аналитические выводы. Полученная с помощью разложения в ряд Тейлора и модифицированной функции Бесселя модель в [18] учитывает влияние подпороговых токов, однако не рассматривает возрастание падения напряжения на диодах с ростом числа каскадов. В других моделях [11, 12, 19] пренебрегают влиянием как подпороговых токов, так и эффекта подложки, в результате чего не учитывается реальное падание напряжения на транзисторах, поэтому из-за больших погрешностей такие модели могут быть неприменимы в сверхмаломощных приложениях.

В данной работе предлагаются модели умножителя напряжения, основанные на модели умножителя Диксона [13] и модели EKV (Enz-Krummenacher-Vittoz) наноразмерных МОП-транзисторов [20]. Первая предлагаемая модель характеризует работу устройства с типовым соединением выводов транзисторов (см. рис. 1*a*), вторая модель описывает работу умножителя с предлагаемым соединением выводов (см. рис. 1*б*). Предлагаемые модели учитывают падение напряжения на МОП-транзисторах в диодном включении как для области слабой инверсии, так и для области сильной инверсии.

Модель типового умножителя

Данная предлагаемая модель описывает работу умножителя напряжения с типовым соединением выводов МОП-транзисторов (рис. 1*a*). Напряжение исток-подложка (i + 1)-го транзистора в диодном включении (напряжение на выходе (i + 1)-го контура) в установившемся режиме можно выразить как [13]

$$V_{i+1} = V_i + \frac{C}{C + C_S} V_a - V_{d,i+1} - \frac{I_{\text{out}}}{(C + C_S)f},$$
(1)

где V_i — напряжение исток-подложка *i*-го транзистора; C — емкость связи; C_S — паразитная емкость; V_a — амплитуда входного напряжения; $V_{d,i+1}$ — падение напряжения на (i + 1)-ом транзисторе; I_{out} – ток нагрузки; f – частота входного сигнала.

Ток стока транзистора в режиме слабой инверсии можно записать как [20]

$$I_{ds} = I_0 \exp\left(\frac{V_G - V_{T0}}{n\varphi_T}\right) \left(\exp\left(\frac{-V_S}{\varphi_T}\right) - \exp\left(\frac{-V_D}{\varphi_T}\right)\right),\tag{2}$$

где I_0 – характеристический ток транзистора; V_G , V_S , V_D – потенциалы затвора, истока и стока относительно потенциала подложки V_B соответственно; V_{T0} – пороговое напряжение; *n* – параметр наклона; ϕ_T – температурный потенциал. С учетом $V_S = V_{SB}$ выражение (2) можно переписать в следующем виде:

$$I_{ds} = I_0 \exp\left(\frac{V_{GS} - V_{T0} - (n-1)V_{SB}}{n\varphi_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{\varphi_T}\right)\right),\tag{3}$$

где V_{GS} – напряжение затвор-исток; V_{SB} – напряжение исток-подложка; V_{DS} – напряжение сток-исток. Поскольку транзистор в схеме

умножителя находится в диодном включении, то есть $V_{GS} = V_{DS} = V_d$, выражение (3) запишется как

$$I_d = I_0 \exp\left(\frac{V_d - V_{T0} - (n-1)V_{SB}}{n\varphi_T}\right) \left(1 - \exp\left(\frac{-V_d}{\varphi_T}\right)\right).$$
(4)

Учитывая малые значения тока нагрузки (менее 1 мкА) при работе в области слабой инверсии

и достаточно высокую частоту (в данном случае – 2.45 ГГц), последним слагаемым в выражении (1)

можно пренебречь. Кроме того можно пренебречь множителем $(1 - \exp(-V_d/\varphi_T))$ в правой части выражения (4), характеризующим спад тока при малых напряжениях транзистора, поскольку

он оказывает влияние только, если $V_d < 2\varphi_T$ Таким образом, учитывая, что $V_{i+1} = V_{SB}$, выражения (1) и (4) для (*i* + 1)-го транзистора запишутся соответственно как (5) и (6):

$$V_{i+1} = V_i + \frac{C}{C + C_S} V_a - V_{d,i+1},$$
(5)

$$I_{d,i+1} = I_0 \exp\left(\frac{V_{d,i+1} - V_{T0} - (n-1)V_{i+1}}{n\varphi_T}\right).$$
(6)

Подставляя (5) в (6), слагаемое $V_{d,i+1}$ можно выразить как

$$V_{d,i+1} = \varphi_T \ln \frac{I_{d,i+1}}{I_0} + \frac{V_{T0}}{n} + \frac{n-1}{n} \left(V_i + \frac{C}{C+C_S} V_a \right).$$
(7)

Из выражений (6) и (7) видно, что в случае типового включения выводов ток транзистора и падение напряжения на транзисторе зависят от величины порогового напряжения и значения напряжения на выходе предыдущего контура, то есть от амплитуды входного напряжения. Окончательно выражение (5), характеризующее напряжение на выходе каждого контура при работе в области слабой инверсии можно записать в следующем виде:

$$V_{i+1} = \frac{V_i}{n} + \frac{C}{C+C_S} \frac{V_a}{n} - \varphi_T \ln \frac{I_{d,i+1}}{I_0} - \frac{V_{T0}}{n}.$$
(8)

В случае, когда рабочее напряжение (V_a или V_i) превышает пороговое напряжение, выражение для напряжения исток-подложка (i + 1)-го транзистора в диодном включении повторяет выражение (1), причем пренебрегать слагаемым, отвечающим за ток нагрузки, нельзя ($I_{out} > 10$ мкА). В свою очередь выражение для тока короткоканального транзистора в области сильной инверсии запишется как [20]

$$I_{ds} = K (V_G - V_{T0} - nV_S),$$
(9)

где $K = WC_{ox}v_{sat}$; W— ширина канала транзистора; C_{ox} — удельная емкость подзатворного окисла; v_{sat} — скорость насыщения дрейфа носителей заряда. Аналогично преобразованию выражения (2) в выражения (3), (4), (6) выражение (9) можно представить в следующем виде:

$$I_{ds} = K (V_{GS} - V_{T0} - (n-1)V_{SB}),$$

$$I_{d} = K (V_{d} - V_{T0} - (n-1)V_{SB}),$$

$$I_{d,i+1} = K (V_{d,i+1} - V_{T0} - (n-1)V_{i+1}).$$
 (10)

Принимая во внимание, что значение тока транзистора в диодном включении приблизительно равно нагрузочному току ($I_{out} = I_d = I$), выражения для падения напряжения на (i + 1)-ом транзисторе и для напряжения исток-подложка (i + 1)-го транзистора запишутся как

$$V_{d,i+1} = \frac{I}{Kn} + \frac{V_{T0}}{n} + \frac{n-1}{n} \left(V_i + \frac{C}{C+C_S} V_a - \frac{I}{(C+C_S)f} \right), \tag{11}$$

$$V_{i+1} = \frac{V_i}{n} + \frac{C}{C + C_S} \frac{V_a}{n} - \frac{I}{Kn} - \frac{V_{T0}}{n} - \frac{I}{(C + C_S) fn}.$$
(12)

Из выражений (10)—(12) видно, что для типовой схемы умножителя в области сильной инверсии на значение тока транзистора и величину падения напряжения на транзисторе в диодном включении оказывает влияние амплитуда входного напряжения. В результате этого ток транзисторов в каждом следующем каскаде уменьшается, а падение напряжения на транзисторах увеличивается, что приводит к падению эффективности умножения и снижению уровня выходного напряжения.

Модель предлагаемого умножителя

Данная модель описывает работу модифицированной схемы умножителя напряжения (рис. 1*б*). Для области слабой инверсии напряжение на выходе (i + 1)-го контура, состоящего из транзистора и конденсатора связи, и ток стока (i + 1)-го транзистора могут быть выражены так же как (5) и (6) соответственно. Однако учитывая, что выводы подложки всех транзисторов в диодном включении теперь соединены с их стоками и затворами ($V_G = V_D = V_B$), то есть $V_{i+1} = V_{SB} = V_{SG} = -V_{GS}$, а падение напряжения на транзисторе $V_{d,i+1} = V_{GS}$, можно положить $V_{i+1} = -V_{d,i+1}$. Тогда выражение для тока (6) в этом случае запишется как

$$I_{d,i+1} = I_{d,i} = I = I_0 \exp\left(\frac{nV_d - V_{T0}}{n\varphi_T}\right),$$
(13)

где $V_d = V_{d,i} = V_{d,i+1}$ – падение напряжение на каждом транзисторе, которое можно выразить как

$$V_d = \varphi_T \ln \frac{I}{I_0} + \frac{V_{T0}}{n}.$$
 (14)

Тогда выражение для напряжения на выходе (*i* + 1)-го контура запишется как

$$V_{i+1} = V_i + \frac{C}{C + C_S} V_a - \varphi_T \ln \frac{I}{I_0} - \frac{V_{T0}}{n}.$$
(15)

Таким образом, из (13)–(15) можно заметить, что в области слабой инверсии падение напряжения на транзисторах и ток транзистора больше не зависят от амплитуды входного напряжения.

Выражение для тока транзистора в области сильной инверсии повторяет (10), однако предлагаемое соединение выводов транзисторов, обеспечивающее условие $V_{i+1} = -V_{d,i+1}$, позволяет записать это выражение в виде:

$$I_{d,i+1} = I_{d,i} = I_d = K (nV_d - V_{T0}),$$
(16)

где $V_d = V_{d,i} = V_{d,i+1}$ – падение напряжения на каждом транзисторе, которое можно выразить как

$$V_d = \frac{I}{Kn} + \frac{V_{T0}}{n}.$$
 (17)

Выражение для напряжения на выходе (*i* + 1)-го контура при работе в области сильной инверсии запишется как

$$V_{i+1} = V_i + \frac{C}{C + C_s} V_a - \frac{I}{Kn} - \frac{V_{T0}}{n} - \frac{I}{(C + C_s)f}.$$
(18)

Из выражений (16)—(18) видно, что и для области сильной инверсии в случае модифицированной схемы ток транзистора и падение напряжения на элементе не зависят от амплитуды входного напряжения.

Обе представленные модели позволяют проводить оценочные расчеты многокаскадных умножителей напряжения и учитывают падение напряжения на транзисторах в диодном включении.

РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ И ИХ ОБСУЖДЕНИЕ

Для разработки и исследования устройства использовалась САПР Tanner EDA [21], в частности для схемотехнического анализа и исследования переходных процессов применялся модуль T-Spice. Для моделирования работы преобразователя энергии в T-Spice использовалась модель BSIM4v4.8.0 [22] наноразмерных МОП-транзисторов (технология КМОП 90 нм [23]). Результаты моделирования переходных процессов восьмикаскадного умножителя напряжения, построенного на основе *n*-канальных МОПтранзисторов с типовым соединением выводов (см. рис. 1*a*), показаны на рис. 2*a*. Результаты моделирования переходных процессов восьмикаскадного умножителя, построенного на основе *p*-канальных транзисторов с предлагаемым соединением выводов (см. рис. 1*б*), показаны на рис. 2*б*.

В типовой схеме умножителя (рис. 1a) эффект подложки приводит к увеличению прямого падения напряжения на транзисторах в диодном включении при увеличении числа каскадов, в результате чего приращения выходного напряжения с каждым каскадом уменьшаются (рис. 2a). В предлагаемой схеме (рис. 1δ) негативное влияние эффекта подложки на выходное напряжение и, следовательно, на эффективность умножения существенно ослабляется, поскольку напряжение на МОП-транзисторах больше практически не зави-



Рис. 2. Результаты моделирования переходных процессов в умножителе напряжения (номера каскадов обозначены цифрами) в случае типовой схемы (*a*) и предлагаемой модификации (*b*): f = 2.45 ГГц, N = 8, $V_a = 0.1$ B, $V_{T0} = 0.21$ B, R = 100 MOM, $R_{ant} = 50$ OM, $C = 500 \ \Phi\Phi$, W/L = 35, N - число каскадов умножителя; R - сопротивление нагрузки, $R_{ant} -$ сопротивление антенны, W/L - отношение ширины канала транзистора к его длине.

сит от числа каскадов, так как напряжение между выводами истока и подложки для всех транзисторов остается приблизительно постоянным. По этой причине инкременты напряжения на всех каскадах приблизительно равны (рис. 26), в результате чего эффективность умножения возрастает, что подтверждают результаты моделирования (см. рис. 66).

Сравнение результатов моделирования типового восьмикаскадного умножителя и предлагаемого восьмикаскадного умножителя в T-Spice с оценочными расчетами по полученным выраже-



Рис. 3. Зависимость выходного напряжения восьмикаскадного умножителя от числа каскадов и используемого соединения выводов при моделировании в T-Spice и расчетах по полученным моделям: V_{sim1} – результаты моделирования типового умножителя в T-Spice; V_{calc1} – результаты расчетов типового умножителя; V_{sim2} – результаты моделирования предлагаемого умножителя в T-Spice; V_{calc2} – результаты расчетов предлагаемого умножителя.

ниям (5)–(8), (13)–(15) представлено на рис. 3. Моделирование и расчеты выполнялись для следующих значений параметров: N = 8; $V_a = 0.1$ B; $V_{T0} = 0.21$ B; R = 100 MOM; $C = 500 \text{ } \Phi \text{C}$; W/L = 35; n = 1.2; $I_0 = 5$ мкА; $C_S = 26 \text{ } \Phi \Phi$. Несмотря на погрешности, которые можно объяснить допущениями, принятыми для компактности и наглядности моделей, результаты компьютерного моделирования и расчетов, выполненных по полученным моделям, в достаточной степени согласуются друг с другом.

В случае идеальных диодов (транзисторов в диодном включении с нулевым падением напряжения на них) уровень выходного напряжения *N*-каскадного умножителя определяется как

$$V_{\rm out} = 2NV_a. \tag{19}$$

Исходя из этого, эффективность умножения моделируемых устройств рассчитывалась как

$$\eta = \frac{V_{\text{out,sim}}}{2NV_a} \times 100\%,$$
(20)

где $V_{\text{out,sim}}$ — установившийся уровень выходного напряжения, полученный в результате моделирования переходных процессов.

Уровень входной мощности можно приближенно выразить через амплитуду входного напряжения следующим образом [4]:

$$P_{\rm in} = \frac{V_a^2}{8R_{\rm ant}},\tag{21}$$

где $R_{\rm ant}$ – сопротивление приемной антенны.





Рис. 4. Влияние размеров транзисторов предлагаемого восьмикаскадного устройства на эффективность умножения для различных амплитуд входного напряжения: $V_{a1} = 0.05$ B, $V_{a2} = 0.1$ B, $V_{a3} = 0.2$ B, $V_{a4} = 0.3$ B (*a*); влияние числа каскадов на уровень выходного напряжения (δ).



Рис. 5. Влияние емкости конденсаторов (*a*) и сопротивления нагрузки (*б*) предлагаемого устройства на эффективность умножения: $C_1 = 50 \, \phi \Phi$, $C_2 = 100 \, \phi \Phi$, $C_3 = 500 \, \phi \Phi$, $C_4 = 5 \, \pi \Phi$; $R_1 = 1 \, \text{MOM}$, $R_2 = 10 \, \text{MOM}$, $R_3 = 100 \, \text{MOM}$, $R_4 = 1 \, \text{FOM}$.

Преобразование мощности в ваттах (Вт) в дБм выполняется по известной формуле:

$$P_{\rm in}\left({\rm д}{\rm B}{\rm M}\right) = 10\log_{10}\left(\frac{P({\rm B}{\rm T})}{1~{\rm M}{\rm B}{\rm T}}\right). \tag{22}$$

(a)

100

90

На рис. 4*a* показано влияние размеров транзисторов (W/L) на эффективность умножения предлагаемого восьмикаскадного умножителя, а на рис. 4 δ – влияние числа каскадов предлагаемого умножителя на уровень выходного напряжения.

Увеличение отношения ширины канала МОПтранзистора к его длине приводит к росту эффективности, но до определенных пределов (рис. 4*a*). Эффективность умножения для значений *W/L* выше, чем 35–50, устанавливается на приблизи-

МИКРОЭЛЕКТРОНИКА том 50 № 3 2021

тельно постоянном уровне и даже уменьшается при относительно высоких амплитудах входного напряжения. Такой характер зависимости можно объяснить преобладанием влияния обратных токов и емкостных потерь над позитивным эффектом возрастания прямого тока.

Как было показано ранее, предлагаемое соединение выводов МОП-транзисторов позволяет использовать каскадирование для увеличения уровня выходного напряжения без потерь в эффективности. Так, чтобы получить уровень напряжения питания $V_{DD} = 1$ В, необходимого для элементной базы технологии КМОП 90 нм, при умножителе с шестнадцатью каскадами достаточно уровня вход-



Рис. 6. Влияние порогового напряжения МОП-транзисторов на эффективность умножения по напряжению: $V_{T01} = -0.15$ В, $V_{T02} = -0.21$ В, $V_{T03} = -0.25$ В, $V_{T04} = -0.28$ В (*a*); эффективность умножения типовой схемы на *n*-канальных МОП-транзисторах и предлагаемой схемы на *p*-канальных МОП-транзисторах (*б*) при одинаковых пороговых напряжениях.

ной мощности -21.5 дБм, а для восьмикаскадного устройства достаточно -17.5 дБм (см. рис. 46).

Влияние значения емкости конденсаторов и сопротивления нагрузки предлагаемого умножителя на эффективность умножения по напряжению представлено на рис. 5.

Увеличение тока нагрузки, то есть уменьшение сопротивления нагрузки, приводит к значительному падению эффективности умножения (рис. 5*б*) при малых уровнях входного напряжения (входной мощности).

Для работы с низкими уровнями входной мощности могут применяться специальные протоколы накопления и расходования собранной энергии с разделением по фазам [24].

На рис. 6*а* показана эффективность умножения предлагаемого умножителя в зависимости от значения порогового напряжения $V_{T0}p$ -канальных МОП-транзисторов. Сравнение эффективности умножения типового восьмикаскадного умножителя на *n*-канальных МОП-транзисторах и предлагаемого умножителя на *p*-канальных транзисторах показано на рис. 6*б*. Видно, что эффективность умножения по напряжению предлагаемой модификации умножителя значительно превосходит эффективность типовой схемы для всего исследуемого диапазона входной мощности.

ЗАКЛЮЧЕНИЕ

В данной работе представлены результаты разработки и исследования интегрального преобразователя СВЧ энергии для пассивных беспроводных устройств. Приведенные модели преобразователя описывают работу как типового устройства, так и предлагаемой схемной модификации с учетом особенностей работы наноразмерных МОП-транзисторов в областях слабой и сильной инверсии. Предлагаемая модификация умножителя не только позволяет достигнуть высокой эффективности умножения, но и предоставляет возможность его реализации с использованием стандартных КМОП-технологий. Результаты моделирования показывают, что беспроводные пассивные микроустройства, такие как пассивные RFID-метки, способны работать при сверхмалых уровнях входной мощности (менее –20 дБм) для типовой КМОП-технологии 90 нм.

БЛАГОДАРНОСТИ

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-37-90018.

СПИСОК ЛИТЕРАТУРЫ

- 1. Umeda T., Yoshida H., Sekine S., Fujita Y., Suzuki T., Otaka S. A 950-MHz Rectifier Circuit for Sensor Network Tags With 10-m Distance // IEEE J. Solid-state Circuits. 2006. V. 41. № 1. P. 35–41.
- Yi J., Ki W.-H., Tsui C.-Y. Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications // IEEE Transactions on Circuits and Systems I: Regular Papers. 2007. V. 54. № 1. P. 153–166.
- 3. *Wong S.-Y., Chen C.* Power efficient multi-stage CMOS rectifier design for UHF RFID tags // Integration, the VLSI J. 2011. V. 44. № 3. P. 242–255.
- 4. *De Vita G., Iannaccone G.* Design Criteria for the RF Section of UHF and Microwave Passive RFID Tran-

sponders // IEEE Transactions on Microwave Theory and Techniques. 2005. V. 53. № 9. P. 2978–2990.

- Gutierrez F. Fully-Integrated Converter for Low-Cost and Low-Size Power Supply in Internet-of-Things Applications // Electronics. 2017. V. 6. № 2(38). P. 1–20.
- 6. *Guler U., Jia Y., Ghovanloo M.* A Reconfigurable Passive RF-to-DC Converter for Wireless IoT Applications // IEEE Transactions on Circuits and Systems II: Express Briefs. 2019. V. 66. № 11. P. 1800–1804.
- 7. Valenta C.R., Durgin G.D. Harvesting Wireless Power: Survey of Energy-Harvester Conversion Efficiency in Far-Field, Wireless Power Transfer Systems // IEEE Microwave Magazine. 2014. V. 15. № 4. P. 108–120.
- Tran L.-G., Cha H.-K., Park W.-T. RF power harvesting: a review on designing methodologies and applications // Micro and Nano Systems Letters. 2017. V. 5. № 14. P. 1–16.
- Gosset G., Rue B., Flandre D. Very High Efficiency 13.56 MHz RFID Input Stage Voltage Multipliers Based On Ultra Low Power MOS Diodes // 2008 IEEE International Conference on RFID. 2008. P. 134–140.
- 10. *Curty J.-P., Joehl N., Krummenacher F., Dehollain C., Declercq M.J.* A Model for μ-Power Rectifier Analysis and Design // IEEE Transactions on Circuits and Systems I: Regular Papers. 2005. V. 52. № 12. P. 2771–2779.
- Yao Y., Wu J., Shi Y., Dai F.F. A Fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF–DC Rectifier // IEEE Transactions on Industrial Electronics. 2009. V. 56. № 7. P. 2317–2325.
- 12. Sheu M.-L., Tiao Y.-S., Fan H.-Y., Huang J.-J. Implementation of a 2.45 GHz Passive RFID Transponder Chip in 0.18 μm CMOS // J. Information Science and Engineering. 2010. V. 26. № 2. P. 597–610.
- 13. Dickson J.F. On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Multiplier Technique // IEEE Journal of Solid-state Circuits. 1976. V. SC-11. № 3. P. 374–378.
- 14. Shokrani M.R., Khoddam M., Hamidon M.N.B., Kamsani N.A., Rokhani F.Z., Shafie S.B. An RF Energy Harvester System Using UHF Micropower CMOS

Rectifier Based on a Diode Connected CMOS Transistor // The Scientific World Journal. 2014. V. 2014. Article ID 963709. P. 1–11.

- 15. Ashry A., Sharaf K., Ibrahim M. A Simple and Accurate Model for RFID Rectifier // IEEE Systems Journal. 2008. V. 2. № 4. P. 520–524.
- 16. Barnett R.E., Liu J., Lazar S. A RF to DC Voltage Conversion Model for Multi-Stage Rectifiers in UHF RFID Transponders // IEEE Journal of Solid-state Circuits. 2009. V. 44. № 2. P. 354–370.
- Zhao P., Hollstein T., Glesner M. Analysis on Power Harvesting Circuits with Tunable Matching Network for Improved Efficiency // 2009 Ph.D. Research in Microelectronics and Electronics. 2009. P. 96–99.
- Taghadosi M., Albasha L., Quadir N.A., Rahama Y.A., Qaddoumi N. High Efficiency Energy Harvesters in 65 nm CMOS Process for Autonomous IoT Sensor Applications // IEEE Access. 2018. V. 6. P. 2397–2409.
- Wu Y., Linnartz J.-P., Gao H., Matters-Kammerer M.K., Baltus P. Modeling of RF Energy Scavenging for Batteryless Wireless Sensors with Low Input Power // 2013 IEEE 24th Annual International Symposium on Personal, Indoor, and Mobile Radio Communications (PIMRC). 2013. P. 527–531.
- 20. *Enz C.C., Vittoz E.A.* Charge-based MOS transistor modeling. Chichester, West Sussex, England: Wiley, 2006. 303 p.
- Tanner AMS and MEMS Design Flows [Электронный pecypc]. URL: https://www.mentor.com/tannereda/ (дата обращения 30.06.2020).
- 22. *Hu C., Niknejad A.M., Paydavosi N.* BSIM4v4.8.0 MOSFET Model – User's Manual. Berkeley, CA, USA: UC Berkeley, 2013. 177 p.
- Sicard E. Microwind & DSCH Version 3.5 User's Manual Lite Version. Toulouse, France: INSA Toulouse, 2010. 137 p.
- Stoopman M., Philips K., Serdijn W.A. An RF-Powered DLL-Based 2.4-GHz Transmitter for Autonomous Wireless Sensor Nodes // IEEE Transactions on Microwave Theory and Techniques. 2017. V. 65. № 7. P. 2399–2408.