

УДК 621.382.323

МОДЕЛИРОВАНИЕ ХАРАКТЕРИСТИК КНИ КМОП НАНОТРАНЗИСТОРОВ С АССИМЕТРИЧНЫМ ПОЛНОСТЬЮ ОХВАТЫВАЮЩИМ ЗАТВОРОМ

© 2020 г. Н. В. Масальский*

Федеральное государственное учреждение Федеральный научный центр Научно-исследовательский институт системных исследований Российской АН, Нахимовский просп., 36, корп. 1, Москва, 117218 Россия

*E-mail: volkov@niisi.ras.ru

Поступила в редакцию 05.02.2020 г.

После доработки 19.03.2020 г.

Принята к публикации 19.03.2020 г.

Рассматривается подход для сквозного моделирования электрофизических характеристик низковольтных суб 25 нм КНИ КМОП транзисторов с асимметричным полностью охватывающим затвором, который состоит из двух последовательно соединенных материалов с разной работой выхода. Подход включает последовательное вычисление 3D распределения потенциала в рабочей области, расчет вольт-амперных характеристик и для базового логического вентиля – инвертора – вычисление статической и динамической характеристики. В рамках рассматриваемого подхода анализируется влияния отношения длин областей затвора с разной работой выхода на все ключевые характеристики устройств – транзисторов и логических вентилях на их основе. Показано, что логические элементы могут эффективно функционировать при напряжении питания 0.8 В, что является предпосылкой для создания низковольтной схемотехники.

Ключевые слова: КНИ КМОП нанотранзистор, асимметричный затвор, 3D распределение потенциала, вольт-амперные характеристики, инвертор, низкое напряжение питания

DOI: 10.31857/S0544126920050063

ВВЕДЕНИЕ

Дальнейший рост эффективности кремниевых интегральных схем напрямую связан с использованием новых транзисторных архитектур [1, 2]. В настоящей работе для решения представленной проблемы анализируется возможность использования КМОП нанотранзисторов с асимметричным полностью охватывающим затвором, выполненных по КНИ технологии [1–4]. В рассматриваемой структуре затвор состоит из двух последовательно соединенных материалов М1 и М2 с различными работами выхода. В такой конфигурации из-за “скачка” поверхностного потенциала пик электрического поля у стока существенно снижается, что позволяет достигать одновременно и подавления короткоканальных эффектов (ККЭ) и снижения эффекта горячих носителей [5–8]. Преимуществом данной конструкции является то, что она позволяет компенсировать влияние эффекта roll-off порогового напряжения и другие паразитные механизмы. Такая концепция апробирована на нескольких планарных архитектурах. Эффективность такой конструкции заметна для низковольтных рабочих областей [9]. Когда общее число носителей велико, то потенциала “скачка” не достаточно для эффективного подавления эффекта горячих носителей

[5, 8]. Исследование возможности применения концепции комбинированного затвора для транзисторных структур с полностью охватывающим затвором представляет интерес из-за их более превосходящих свойств (по быстродействию, потребляемой мощности, миниатюризации) по сравнению с аналогичными планарными структурами [2, 10].

Функциональная схема КНИ КМОП нанотранзистора с полностью охватывающим затвором, выполненным из двух разных материалов, приведена на рис. 1. В данном случае на подложке КНИ (кремний на изоляторе), которая не показана на рисунке, расположены исток (поз. 1), сток (поз. 2), рабочая область (поз. 3) длиной L_g и радиусом R и подзатворный окисел (поз. 4) с толщиной t_{ox} . Затвор транзистора состоит из двух частей М1 и М2 с длиной L_I и L_{II} , соответственно, с разными работами выхода. При этом выполняется условие $L_I + L_{II} = L_g$.

В настоящей работе рассматривается подход для сквозного моделирования электрофизических характеристик суб 25 нм КНИ КМОП транзисторов с асимметричным полностью охватывающим затвором. Электрофизические характеристики прототипов транзисторов вычисляются начиная

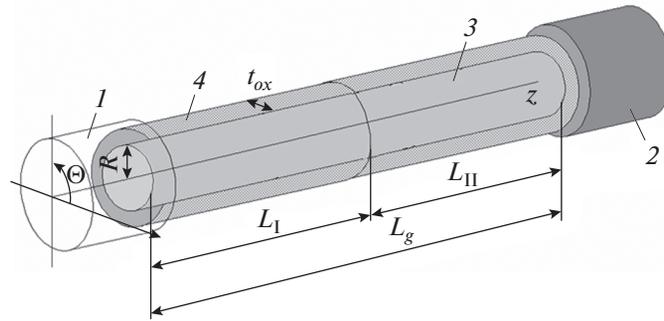


Рис. 1. Схема КНИ КМОП транзистора с полностью охватывающим затвором из двух материалов: 1 – исток; 2 – сток; 3 – кремниевая рабочая область; 4 – подзатворный окисел.

от расчета 3D распределения потенциала в рабочей области являющегося решением уравнения Пуассона в цилиндрических координатах. На основании полученного для каждого прототипа распределения потенциала рассчитываются его вольт-амперные характеристики. На заключительном этапе для базового логического вентиля – инвертора – вычисляются его статическая и динамическая характеристики. В рамках рассматриваемого подхода анализируется влияния отношения длин областей затвора с разной работой выхода на все ключевые характеристики устройств – транзисторов и логических вентилях на их основе. Реализация такой процедуры весьма эффективна для формирования элементной базы для перспективных интегральных микросхем.

1. РАСПРЕДЕЛЕНИЕ ПОТЕНЦИАЛА

Рассмотрим квазиклассическую задачу (в приближении зарядового разделения (ПЗР)) определения распределения потенциала в цилиндрической рабочей области рассматриваемой КНИ структуре [2, 10]. В предположении, что кремниевая рабочая область транзистора однородно легирована, и влияние фиксированных окисных зарядов на ее электростатику пренебрежимо мало, то распределение потенциала в ней может описываться с учетом симметрии по координате Θ решением 2D уравнения Пуассона следующего вида [10, 11]:

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial}{\partial r} \varphi_i(r, z) \right) + \frac{\partial^2}{\partial z^2} \varphi_i(r, z) = \frac{qN_A}{\epsilon_S}, \tag{1}$$

где $\varphi_i(r, z)$ – электростатический потенциал в каждой зоне (I и II) рабочей области, q – заряд электрона, ϵ_S – диэлектрическая проницаемость рабочей области (диэлектрическая проницаемость кремния), N_A – концентрация легирования рабочей области.

Решение (1) ищется при следующих граничных условиях.

1. Электрическое поле на границе затвор–окисел непрерывно для обеих областей

$$\frac{\epsilon_{ox}}{t_{ox}} (U_g - U_{FB_i} - \varphi_{s_i}(R, z)) = \epsilon_S \frac{\partial \varphi(r, z)}{\partial r} \Big|_{r=R},$$

$$\frac{\epsilon_{ox}}{t_{ox}} (U_g - U_{FB_i} - \varphi_{s_i}(R, z)) = \epsilon_S \frac{\partial \varphi(r, z)}{\partial r} \Big|_{r=R}.$$

2. Поверхностный потенциал на поверхности двух разнородных материалов затвора на затворе непрерывный

$$\varphi_{s_1}(r, L_1) = \varphi_{s_2}(r, L_1).$$

3. Электрическое поле на поверхности двух материалов затвора непрерывно

$$\frac{\partial \varphi_{s_1}(r, z)}{\partial x} \Big|_{z=L_1} = \frac{\partial \varphi_{s_2}(r, z)}{\partial x} \Big|_{z=L_1}.$$

4. Потенциал на краю рабочей области со стороны истока

$$\varphi_{s_1}(r, 0) = U_{bi}.$$

5. Потенциал на краю рабочей области со стороны стока

$$\varphi_{s_2}(r, L_g) = U_{bi} + U_{ds},$$

где $\varphi(r, z)|_{r=R} = \varphi_{s_i}(z)$ – поверхностный потенциал под областями I и II соответственно, ϵ_{ox} – диэлек-

трическая проницаемость подзатворного окисла, t_{ox} – толщина подзатворного окисла затвора, U_g – напряжение на затворе, U_{Fbi} – напряжение плоских зон, U_{bi} – встроенная разность потенциалов, U_{ds} – напряжение сток-исток. Напряжения плоских зон для областей I и II (см. рис. 1) на затворе будут различны, только из-за разной работы выхода [12].

Следует отметить, что такая постановка задачи позволяет получить аналитическое решение (1) в параболическом приближении [5, 13, 14].

Для модельных расчетов выбран прототип КНИ КМОП нанотранзистора с затвором из двух материалов с разной работой выхода M1 и M2. Значения ключевых параметров прототипа приведены в табл. 1. Такие значения топологических параметров выбраны исходя из условий их минимизации и одновременного подавления ККЭ и избежания влияния квантово-механических эффектов и, в перспективе, для обеспечения высокого уровня тока транзистора [15].

На рис. 2 приведены результаты численного решения (1) для случая $r = R$ при условии $L_I = L_{II}$.

Для иллюстрации влияния отношения L_I и L_{II} на распределение поверхностного потенциала $\phi_s(z)$ можно рассматривать только одномерный случай в силу симметрии по координатам r и Θ . На рис. 3 приведены результаты расчета $\phi_s(z)$ для различных комбинаций длин L_I и L_{II} . Из представленных результатов видно, что по аналогии с планарной транзисторными архитектурами с ассиметрич-

Таблица 1. Параметры прототипа транзистора

Параметр	значение
L_g , нм	22
t_{ox} , нм	1.2
R , нм	3.5
Φ_{MS_1} , эВ	4.8
Φ_{MS_2} , эВ	4.4
N_{da} , см^{-3}	5.0×10^{20}
N_A , см^{-3}	1.0×10^{15}

ным затвором, по мере уменьшения L_I положение минимума поверхностного потенциала, лежащего под M1, смещается к истоку. Это вынуждает пик электрического поля в рабочей области смещаться больше к истоку. Также следует отметить, что при уменьшении L_I увеличивается эффективность экранировки, т.е. напряжение на стоке имеет очень незначительное влияние на ток стока после насыщения [15]. Минимумы поверхностного потенциала для этих трех случаев различаются. Это происходит, потому что, при росте L_I часть рабочей области, которой управляет затвор с большей работой выхода, также увеличивается.

Из полученных распределений легко получить значимую характеристику – распределение напря-

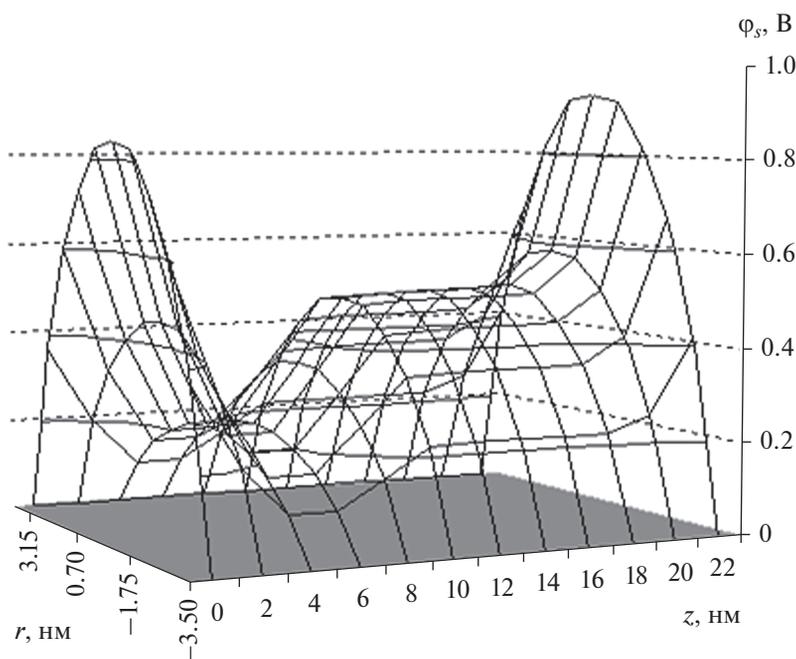


Рис. 2. Распределения поверхностного потенциала при $U_{ds} = 0.1$ В при $L_I : L_{II} = 1 : 1$.

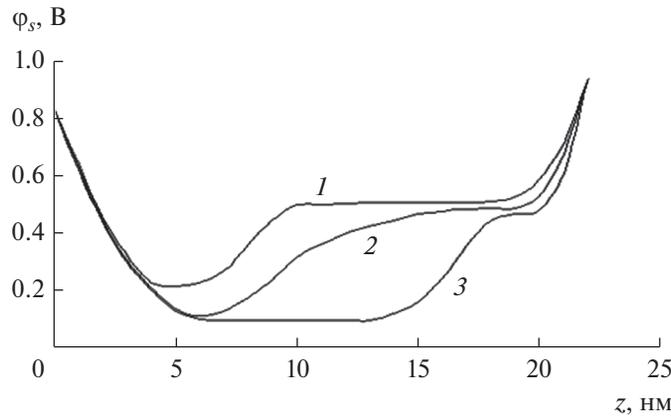


Рис. 3. Распределения фронтального поверхностного потенциала при $U_{ds} = 0.1$ В вдоль рабочей области: при разных отношениях L_1 и L_{II} : 1 – $L_1 : L_{II} = 1 : 2$; 2 – $L_1 : L_{II} = 1 : 1$; 3 – $L_1 : L_{II} = 2 : 1$.

женности электрического поля. Уместно сравнить распределения напряженности электрического поля вдоль рабочей области двух прототипов нанотранзисторов с разным типом затвора: с однородным и ассиметричным. Из их сопоставления можно сделать следующий вывод. Для обоих типов транзисторов характерно, что ближе к стоку напряженность поля резко возрастает – на последних десяти процентах длины оно возрастает в два раза. Тем не менее, пиковое электрическое поле у края рабочей области со стороны стока транзистора с ассиметричным затвором значительно меньше (практически в 2.5 раза), чем для транзистора с однородным затвором.

2. ПОПРАВКА К ПОРОГОВОМУ НАПРЯЖЕНИЮ

В квазиклассическом приближении выражение для порогового напряжения (U_{th}) вытекает из выражения для минимального значения фронтального поверхностного потенциала [2, 8, 10]. Тогда, в общем случае выражение для U_{th} КНИ КМОП нанотранзистора с составным полностью охватывающим затвором имеет следующий вид:

$$U_{th} = U_{th_long} - \Delta U_{th}, \tag{2}$$

где U_{th_long} – пороговое напряжение длинно-канального транзистора. Сдвиг порогового напряжения из-за ККЭ по аналогии с [15, 16] можно представить так:

$$\Delta U_{th} = 2\sqrt{u_0 u_1} \exp\left(-\frac{L_1}{\sqrt{2\varepsilon_r t_S t_{ox}}}\right),$$

где $u_0 = U_{bi} + U_{ds} - U_g - U_{FB}^{(II)}$, $u_1 = \frac{1}{2} \frac{(U_{bi} + U_{ds} - U_g - U_{FB}^{(II)}) \sinh\left(\frac{L_1}{l}\right) + u_0 \sinh\left(\frac{L_{II}}{l}\right)}{\cosh\left(\frac{L_1}{l}\right) \sinh\left(\frac{L_{II}}{l}\right) + \sinh\left(\frac{L_1}{l}\right) \cosh\left(\frac{L_{II}}{l}\right)}$, $\Delta U_{FB} = U_{FB}^{(I)} - U_{FB}^{(II)}$

– разность между напряжениями плоских зон, $\varepsilon_r = \frac{\varepsilon_s}{\varepsilon_{ox}}$ – отношение диэлектрических проницаемостей, l – характеристическая длина [2, 10].

Уравнение (2) применимо не во всех случаях. Простой вид поправки порогового напряжения обусловлен предположением, что L_1 и L_{II} не сильно различаются. В случае значительного отличия значений L_1 и L_{II} искажается связь между разнорабочими областями затвора, что приводит к нивелированию эффекта roll-off порогового напряжения.

Поэтому используется поправочный коэффициент, эмпирическое выражение для которого, имеет вид [16]:

$$\Omega = 1 - \frac{|L_1 - L_{II}|}{\rho L_1}, \tag{3}$$

где ρ – подгоночный параметр, который зависит от отношения L_1 и L_{II} и общей длины рабочей области. Нужно отметить, что, при $L_1 = L_{II}$, $\Omega = 1$. При уменьшении длины рабочей области и постоянном отношении L_1 и L_{II} эффект roll-off порогового напряжения проявляется, хотя менее

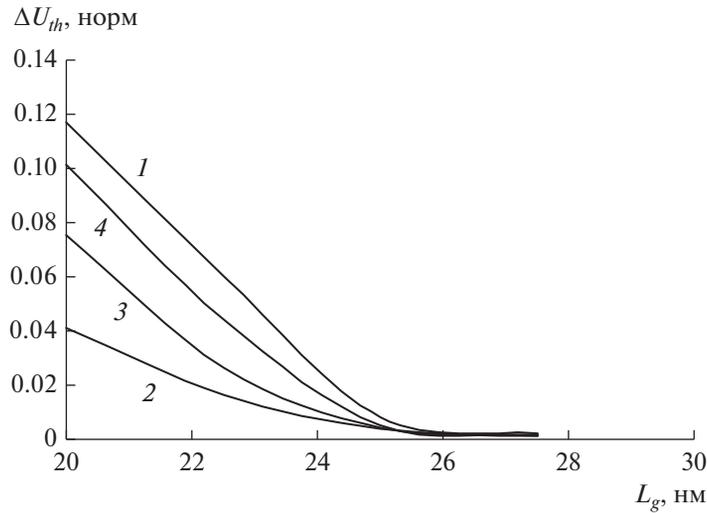


Рис. 4. Зависимость нормированной поправки порогового напряжения от длины затвора: 1 – монозатвор; 2 – $L_1 : L_2 = 2 : 1$; 3 – $L_1 = L_2$; 4 – $L_1 : L_2 = 1 : 2$.

выражено, чем в случае классического КНИ КМОП нанотранзистора. Существенные отличия в пороговом напряжении начинают возникать примерно в суб-30 нм диапазоне длин рабочей области при отношении L_1 и L_{II} более 3 : 1 (или 1 : 3). Очевидно, что такие топологии вряд ли представляют практический интерес в силу незначительного влияния на характеристики нанотранзисторных структур. Поэтому заключительное выражение для U_{th} имеет вид:

$$U_{th} = U_{th_long} - \Omega \Delta U_{th}. \quad (4)$$

Зависимость сдвига порогового напряжения от длины затвора для КМОП нанотранзистора с ассиметричным полностью охватывающим затвором для различных соотношений L_1/L_{II} , приведена на рис. 4.

Следует отметить, что ККЭ во всех случаях являются серьезным препятствием для масштабирования рабочей области. Наиболее сильно это проявляется для случаев $L_1 < 2L_{II}$, где влияние области M1 на распределение потенциала несущественно. С увеличением протяженности области M1 влияние эффекта roll-off уменьшается. С увеличением значения параметра L_1 зависимость $U_{th}(L_g)$ – сглаживается. В предельном случае отклонение порогового напряжения составляет 7.5 и 4% для отношения $L_1 : L_{II} = 1 : 1$ и $L_1 : L_{II} = 2 : 1$ соответственно.

3. МОДЕЛЬ ТОКОВ В ТРАНЗИСТОРЕ

Для моделирования вольтамперных характеристик (ВАХ) использовалась сформулированная в рамках ПЗР модель [2, 10], с учетом модифицированного выражения для скорости насыщения и

высокой полевой деградации. В данном случае ток транзистора определяется переносом подвижного заряда $Q_m(r, z)$ и положением квазиуровня Ферми ϕ_F . Тогда выражение для тока в силу симметрии задачи по r и Θ можно записать в виде [9, 15]

$$I_{ds} = -2\pi\mu_{eff}Q_m(r, z)\frac{\partial\phi_F}{\partial z}. \quad (5)$$

Это выражение объединяет дрейфовую и диффузную компоненты тока. Значение тока получается двойным интегрированием выражения (5). В общем случае распределение зарядов можно записать так: $n = n_i \exp\left(-\frac{q}{kT}(\phi(r, z) - \phi_F(r, z))\right)$. Зависимость подвижности от электрического поля имеет очень сложный характер. В нашем случае при моделировании используется модель “эффективной подвижности” μ_{eff} Маттиссена [17].

На рис. 5 приведены результаты расчета ВАХ для представленного выше прототипа транзистора (см. табл. 1) при различных комбинациях длин L_1 и L_{II} .

Отметим, что все приборы переходят в режим насыщения при низком напряжении (примерно 0.4 В) U_{ds} . Из сопоставления ВАХ следует, что максимальный ток транзистора соответствует случаю $L_1 = 0.42L_g$. Он незначительно (~3%) превосходит токи для отношения длин $L_1 : L_{II} = 1 : 2$, 3 – $L_1 : L_{II} = 1 : 1$. При этом относительно максимального тока транзистора с однородным затвором рост составляет уже 16%. И сами ВАХ отличаются, хотя и незначительно, чувствительностью к уровню затворного напряжения.

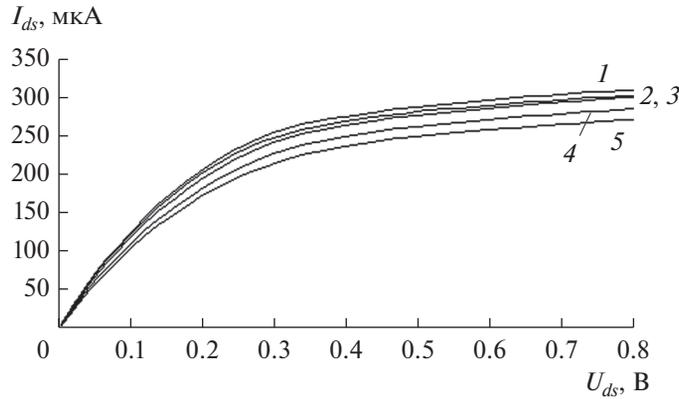


Рис. 5. ВАХ $I_{ds}(U_{ds})$ при $U_g = 0.8$ В при разных отношениях L_1 и L_{II} : 1 – $L_1 = 0.42L_g$; 2 – $L_1 : L_{II} = 1 : 2$; 3 – $L_1 : L_{II} = 1 : 1$; 4 – $L_1 : L_{II} = 2 : 1$; 5 – монозатвор. Здесь кривые 2 и 3 практически совпадают.

В исследуемой архитектуре в общем случае ключевой ток транзистора (I_{on}) при прочих одинаковых технологических параметрах зависят от отношения длин каждой части затвора. Зависимость максимального тока от отношения L_1/L_g приведена на рис. 6.

Из данной зависимости следует, что полученный максимум имеет ярко выраженный характер. Мы определим его как наилучший случай. В общем случае нет инструментов корректировки положения максимума тока для выбранных топологических параметров. Например, увеличение R требует соответствующего повышения длины рабочей области из-за ККЭ, что приводит к совершенно другим структурам, ВАХ которых не связаны с аналогичными характеристиками рассматриваемого прототипа. Изменение концентрации легирования N_A на плюс/минус один порядок не изменяет положение максимума. А только увеличивает или уменьшает ток. Это изменение незначительное, зависимость $I_{ds_max}(N_A)$ практически линейная, где $I_{ds_max} \cong \beta I_{ds_max}^{(0)}$, где $I_{ds_max}^{(0)}$ – максимальный ток

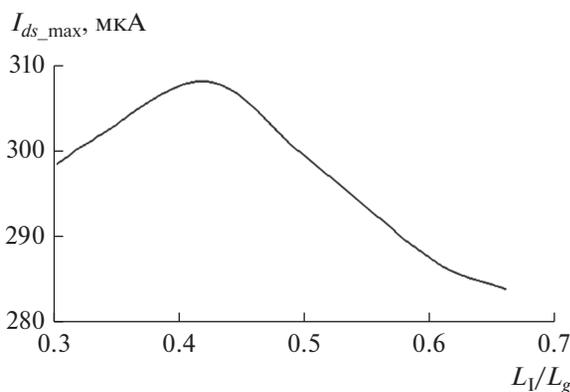


Рис. 6. I_{ds_max} при $U_{ds} = U_g = 0.8$ В.

транзистора для $N_A^{(0)} = 1.0 \times 10^{15} \text{ см}^{-3}$, коэффициент масштабирования тока $\beta = \log\left(\frac{N_A^{(0)}}{N_A}\right)$. Дальнейшее увеличение концентрации N_A (выше $1.0 \times 10^{17} \text{ см}^{-3}$) приводит резкому снижению прямого тока из-за роста влияния эффекта горячих носителей, так как “скачка” потенциала не хватает для его компенсации. При уменьшении N_A (ниже $1.0 \times 10^{13} \text{ см}^{-3}$) также происходит снижение тока из-за общего уменьшения числа носителей в рабочей области.

Для наилучшего случая по току насыщения приведем основные ВАХ прототипа нанотранзистора n -типа, которые представлены на рис. 7, где зависимость тока утечки отображается отдельным рисунком.

Представленный прототип характеризуется высоким током при низком напряжении питания (напряжении U_{ds}). Очень важно, что при $U_{ds} = 0.4$ В и $U_g = 0.8$ В его ток составляет более 80% от максимального значения, что предполагает превосходные переключательные характеристики. Высокий ток I_{on} напрямую приводит к уменьшению времени переключения вентиля даже при пониженном напряжении питания. Ток утечки рассматриваемого прототипа довольно низкий и не превышает 1 нА. Отношение максимального тока транзистора к максимальному току утечки составляет $\sim 4 \times 10^5$. Совокупность этих фактов указывает на возможность разработки эффективной схемотехники на данной транзисторной структуре.

4. ХАРАКТЕРИСТИКИ ИНВЕРТОРА НА НАНОТРАНЗИСТОРАХ С АСИММЕТРИЧНЫМ ПОЛНОСТЬЮ ОХВАТЫВАЮЩИМ ЗАТВОРОМ

Математическое ядро программы HSPICE [18] использовалось для моделирования характери-

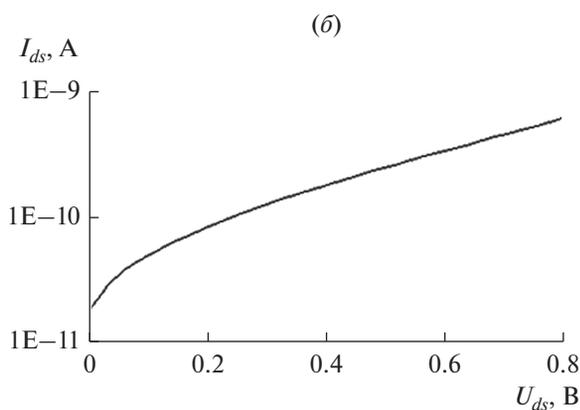
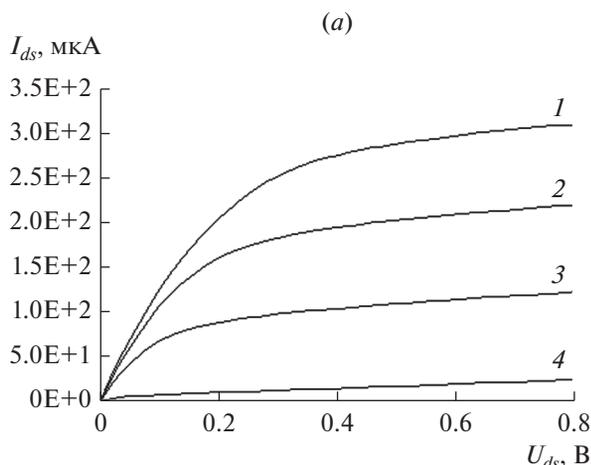


Рис. 7. ВАХ $I_{ds}(U_{ds})$: (а) 1 – $U_g = 0.8$ В, 2 – $U_g = 0.6$ В, 3 – $U_g = 0.4$ В, 4 – $U_g = 0.2$ В; (б) $U_g = 0$.

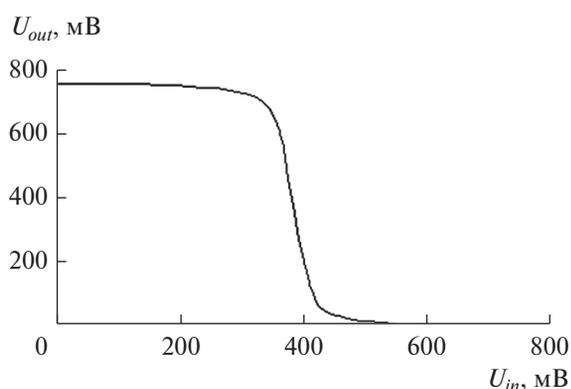


Рис. 8. Статическая характеристика инвертора для наилучшего случая.

стик вентилях, на транзисторах полностью охватывающим затвором, схемотехнические модели которых были сформулированы по апробированной методике [19]. Отметим ключевую особенность таких инверторов. В данном случае радиусы рабочих областей должны быть одинаковы. В от-

личии от планарных архитектур, где стремятся уравнивать токи n и p транзисторов за счет более большой ширины (практически двукратного превышения) транзистора p -типа, для рассматриваемых транзисторов такой подход неприемлем. Увеличение величины R неминуемо приводит к стремительному усилению ККЭ и, следовательно, к деградации всех характеристик инвертора. Для исследования влияния на статические характеристики инвертора соотношения длин $L_1 : L_{II}$ будем рассматривать симметричный инвертор на транзисторах с $L_g = 22$ нм, $R = 3.5$ нм, $t_{ox} = 1.2$ нм. Основные параметры транзисторов соответствующие наилучшему случаю приведены в табл. 2, а на рис. 8 приведена статическая характеристика инвертора на них.

Качественно острота передаточной характеристики является мерой того, насколько хорошо данная цепь может выполнять цифровые операции. Шумовые допуски в КМОП инверторе или любой другой инвертирующей цепи обычно определяются в терминах “единичного усиления”, наличием точек в которых $dU_{out}/dU_{in} = -1$. Между ними оба транзистора n - и p -типов смещены в режим насыщения. Это область определяет величина усиления сигнала $S = dU_{out}/dU_{in}$. На рис. 9 приведена зависимость $S(L_1)$ экстрагированная из расчетов статических характеристик инверторов с разными отношениями $L_1 : L_{II}$. При $L_1 = 0.42L_g$ достигается максимальный коэффициент усиления.

Для того же прототипа с максимальным усилением S_{max} были рассчитаны статические характеристики, но для более низких напряжений питания. Так же определен коэффициент усиления. Результаты моделирования приведены на рис. 10.

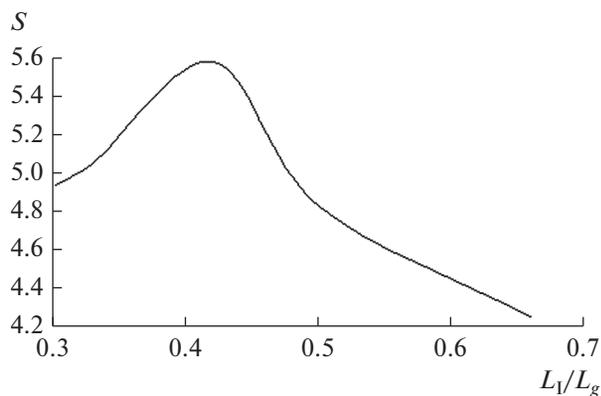
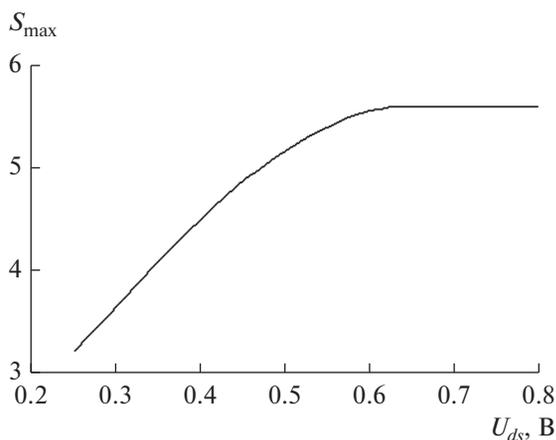
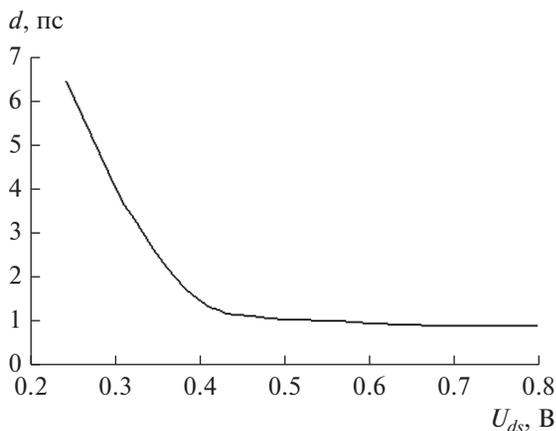
Из представленных данных следует, что в диапазоне напряжений питания $0.6 \leq U_{ds} \leq 0.8$ В параметр S практически не изменяется. Ниже 0.6 В начинается планомерное снижение зависимости $S(U_{ds})$, которое следует из-за существенного уменьшения токов обоих транзисторов.

На рис. 11 ниже приведена рассчитанная зависимость задержки переключения инвертора для наилучшего случая от напряжения питания.

Из представленных данных следует, что в диапазоне напряжений питания $0.5 \leq U_{ds} \leq 0.8$ В задержка вентиля практически не изменяется и не

Таблица 2. Основные параметры n - и p -транзисторов

Параметры	n -тип	p -тип
Пороговое напряжение, мВ	126	-148
Ток Ion, мкА	308	-186
Ток Ioff, нА	1.2	0.6

Рис. 9. Зависимость S от L_1/L_g .Рис. 10. Зависимость S_{\max} от U_{ds} .Рис. 11. Зависимость задержки инвертора от напряжения питания (U_{ds}).

превышает 1 пс. Существенный рост задержки начинается при $U_{ds} = 0.45$ В.

В совокупности можно предполагать, что логические элементы могут эффективно функционировать при напряжении питания 0.6 В, что яв-

ляется предпосылкой для создания низковольтной схемотехники. Представленные результаты могут быть использованы для разработки СБИС с малой потребляемой мощностью.

ЗАКЛЮЧЕНИЕ

Разработан подход сквозного моделирования низковольтных суб 25 нм КНИ КМОП транзисторов с асимметричным полностью охватывающим затвором. Процедура моделирования включает расчет 3D распределения потенциала в рабочей области транзистора, на его основе вольтамперные характеристики и с их помощью статические и динамические характеристики логического вентиля — инвертора.

Численно исследовано поведение потенциала в транзисторных структурах для различных конфигураций затвора. Полученные результаты показывают, что применение двух материалов с разной работой выхода для затвора приводит к эффективному подавлению коротко-канальных эффектов, в частности уменьшения эффекта roll-off, при соотношении длин данных областей в пользу зоны с меньшей работой выхода. Это связано с более эффективной “экранировкой” стока из-за “скачка” потенциала на границе раздела двух материалов. Пиковое электрическое поле у стока значительно (примерно в 2.5 раза) снижается по сравнению с аналогичной транзисторной структурой, но с монозатвором, что препятствует проявлению эффекта горячих носителей. Таким образом, применение двух материалов с разной работой выхода в затворе КНИ КМОП нанотранзисторов с полностью охватывающим затвором улучшает их ключевые электрофизические характеристики по сравнению с двух затворными полевыми транзисторами.

Применительно к суб 25 нм КНИ КМОП транзисторам с асимметричным полностью охватывающим затвором рассмотрен один из возможных подходов разработки маломощной электроники. Проанализирована возможность синтеза базового логического вентиля — инвертора. Исходя из полученных ВАХ и при помощи математического ядра программы HSPICE, численно исследованы статические и динамические характеристики инверторов с разными отношениями длин областей затвора, работа выхода которых отличаются. При выбранных технологических параметрах максимальное усиление инвертора больше 5 при напряжении питания 0.8 В. При снижении напряжения питания до 0.6 В коэффициент усиления практически не изменяется. Дальнейшее уменьшение питания приводит к его заметному снижению. Минимальная задержка переключения инвертора при напряжении питания 0.8 В реализуется для отношения длин 0.72 и составляет 0.9 пс. Для данного отношения длин задержка переключения инвертора при снижении напряжения питания до

0.5 В остается практически неизменной. В совокупности можно предполагать, что логические элементы могут эффективно функционировать при напряжении питания 0.6 В, что является предпосылкой для создания низковольтной схемотехники.

Работа выполнена в рамках Государственного задания ФГУ ФНЦ НИИСИ РАН № 0065-2019-0001 “Математическое обеспечение и инструментальные средства для моделирования, проектирования и разработки элементов сложных технических систем, программных комплексов и телекоммуникационных сетей в различных проблемно-ориентированных областях” (АААА-А19-119011790077-1).

СПИСОК ЛИТЕРАТУРЫ

1. *Ferain I., Colinge C.A., Colinge J.P.* Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors // *Nature*. 2011. V. 479. P. 310–316.
2. *Neamen D.* Semiconductor physics & devices: basic principles. N.Y., McGaw-Hill, 2011.
3. *Ghosh P., Haldar S., Gupta R.S., Gupta M.* An analytical drain current model for dual material engineered cylindrical/surrounded gate MOSFET // *Microelectronics J.* 2012. V. 43. P. 17–24.
4. *Kumari V., Ravish A., Babbar I.* A comparative analysis of double material double gate surround gate (DMDG-SG), double material triple gate surround gate (DMTG-SG) and triple material triple gate surround gate (TMTG-SG) MOSFETs // *International Journal for Scientific Research & Development*. 2014. V. 2. № 3. P. 141–148.
5. *Zhang L., Ma C., He J., Lin X., Chan M.* Analytical solution of subthreshold channel potential of gate underlap cylindrical gate-all-around MOSFET // *Solid State Electronics*. 2010. V. 54. № 8. P. 806–808.
6. *Cousin B., Reyboz M., Rozeau O., Jaud M.A., Ernst T., Jomaah J.* A unified short-channel compact model for cylindrical surrounding-gate MOSFET // *Solid State Electronics*. 2011. V. 56. № 1. P. 40–46.
7. *Li C., Zhuang Y., Han R.* Cylindrical surrounding-gate MOSFETs with electrically induced source/drain extension // *Microelectronics J.* 2011. V. 42. № 2. P. 341–346.
8. *Suh C.* Two-dimensional analytical model for deriving the threshold voltage of a short channel fully depleted cylindrical/surrounding gate MOSFET // *J. Semiconductor Technology and Science*. 2011. V. 11. № 2. P. 111–120.
9. *Масальский Н.В.* Моделирование характеристик КМОП нанотранзистора с полностью охватывающим затвором и неравномерно легированной рабочей областью // *Микроэлектроника*. 2019. Т. 48. № 6. С. 436–444.
10. *Colinge J.P.* FinFETs and Other Multi-Gate Transistor. N.Y.: Springer-Verlag.
11. *He J., Chan M., Zhang X., Wang Y.* A carrier-based analytical model for the undoped (lightly doped) cylindrical surrounding-gate MOSFETs // *Solid State Electron.* 2006. V. 50. № 3. P. 416–421.
12. *Зу С.* Физика полупроводниковых приборов. М.: Мир, 1984.
13. *Sharma D., Vishvakarma S.K.* Precise analytical model for short channel cylindrical gate (CylG) gate-all-around (GAA) MOSFET // *Solid. State. Electron.* 2013. V. 86. P. 68–74.
14. *Kumar M.R., Mohapatra S.K., Pradhan K.P., Sahu P.K.* A simple analytical center potential model for cylindrical gate all around (CGAA) MOSFET // *J. Electron Devices*. 2014. V. 19. P. 1648–1653.
15. *Md. Arafat M., Samia S.* Two-dimensional analytical model of threshold voltage and drain current of a double-halo gate-stacked triple-material double-gate MOSFET // *J. Comput Electron.* 2016. V. 15. № 2. P. 525–536.
16. *Goel E., Kumar S., Singh K., Singh B., Kumar M., Jit S.* 2-D analytical modeling of threshold voltage for graded-channel dual-material double-gate MOSFETs // *IEEE Transactions on Electron Devices*. 2016. V. 63. № 3. P. 966–973.
17. *Iniguez B., Jimenez D., Roig J., Hamidi H.-A., Marsal L.F., Pallares J.* Explicit continuous model for long-channel undoped surrounding-gate MOSFETs // *IEEE Trans. Electron. Devices*. 2005. V. 52. № 8. P. 1868–1873.
18. Star-Hspice Quick Reference Guide, Release 2002.2, June 2002 (URL: <https://manualzz.com/doc/6917552/star-hspice-quick-reference-guide>, access data 12.10.2018)
19. *Захаров С.М., Масальский Н.В., Шаффигуллин М.М.* Проблемы схемотехнического моделирования интегральных схем // *Успехи современной радиоэлектроники*. 2005. № 2. С. 43–50.