——— МОДЕЛИРОВАНИЕ ——

УДК 621.382.323+621.315

МОДЕЛИРОВАНИЕ ВОЗДЕЙСТВИЯ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ НА ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ КМОП ТРОЙНОГО МАЖОРИТАРНОГО ЭЛЕМЕНТА

© 2020 г. Ю. В. Катунин^{*a*, *}, В. Я. Стенин^{*a*, *b*, **}

^аНИИ системных исследований Российской АН, Нахимовский проспект, 36, к. 1, г. Москва, 117218 Россия ^bНациональный исследовательский ядерный университет "МИФИ", Каширское шоссе, 31, г. Москва, Россия

E-mail: katunin@cs.niisi.ras.ru* *E-mail: vystenin@mephi.ru* Поступила в редакцию 08.10.2019 г. После доработки 16.10.2019 г. Принята к публикации 22.10.2019 г.

Представлены результаты TCAD моделирования 65-нм КМОП комбинационных элементов тройного мажоритарного элемента (Triple Majority Gate – TMG) для надежных микропроцессорных систем с резервированием. Логические элементы И и ИЛИ, состоящие из элементов И-НЕ и ИЛИ-НЕ и пары инверторов, расположенных топологически до и после линейки транзисторов каждого из элементов И-НЕ и ИЛИ-НЕ, оказываются более помехоустойчивы к переходным процессам при воздействии одиночных ионизирующих частиц за счет минимизации длительностей импульсов помех путем их частичной компенсации при одновременном сборе заряда с трека одиночной ядерной частицы. При моделировании средствами TCAD использованы треки частиц вдоль нормали к поверхности кристалла микросхемы. Сбор заряда логическими элементами с компенсацией при линейной передаче энергии частицей на трек до 60 МэВ · см²/мг приводит к уменьшению длительности импульсных помех на выходе КМОП элементов И (и ИЛИ) от 2 до 5 раз.

Ключевые слова: импульс помехи, логический элемент, моделирование, одиночная ядерная частица, помехоустойчивость, трек частицы

DOI: 10.31857/S0544126920020040

1. ВВЕДЕНИЕ

Результатом воздействия одиночных ядерных частиц на КМОП комбинационные логические элементы является импульсная помеха [1], вызывающая временное изменение логического состояния (Single Event Transient – SET) элемента. В КМОП наноразмерной комбинационной логике на тактовых частотах более 1 ГГц для снижения возросшей частоты таких "мягких" сбоев (Soft Error Rate – SER) [2] необходимо использовать для повышения помехозащищенности средства как схемного, так и топологического проектирования. При проектно-технологических нормах менее 100 нм в КМОП СБИС существенно влияние "диффузионного растекания" индуцированных неравновесных носителей заряла межлу соседними элементами с трека одиночной частицы [2]. Уменьшение длительности импульсной помехи при совместном сборе заряда транзисторами смежных элементов (quenching effect) продемонстрировано в работах [3, 4]. Данный эффект использован при разработке топологии КМОП элементов декодеров [5], которые нашли применение в блоках суммирования выходных сигналов регистров ячеек ассоциативной памяти 65-нм КМОП буфера ассоциативной трансляции [6] микропроцессора с повышенной помехоустойчивостью.

Цель данной работы — детальное исследование особенностей характеристик КМОП комбинационных логических элементов с минимальными конструктивно-топологическими мерами по повышению помехоустойчивости к воздействиям одиночных ионизирующих частиц, а также анализ особенностей взаимодействия транзисторов смежных элементов при взаимодействии, возникающем в процессе частичной компенсации импульсных помех.

2. ТРОЙНОЙ МАЖОРИТАРНЫЙ ЭЛЕМЕНТ (Triple Majority Gate) НА "И" И "ИЛИ" ЭЛЕМЕНТАХ

При тройном модульном резервировании (Triple Modular Redundancy – TMR) три идентичные логические фазы используются для определения



Рис. 1. Схема тройного комбинационного логического элемента ТМG на И и ИЛИ элементах.

одной и той же булевой функции. При возникновении импульсов помех выходные сигналы фаз могут отличаться. Тройной (трех-входный) мажоритарный логический элемент (Triple Majority Gate – TMG) используется для выбора правильного выходного сигнала по двум одинаковым из трех логические фаз.

На рис. 1 приведен вариант схемы тройного мажоритарного элемента ТМG на И и ИЛИ логических элементах.

Схема и компоновка топологии элемента с логикой И с частичной компенсацией помехи при сборе заряда с трека одиночной ионизирующей частицы показаны на рис. 2.

Схема и компоновка топологии элемента с логикой ИЛИ с частичной компенсацией помехи показаны на рис. 3. Первая цифра в обозначениях транзисторов, например, N1.2 соответствует номеру логического элемента на рис. 1, а вторая – номеру транзистора в элементе И и ИЛИ.

Элемент И (рис. 2) состоит из транзисторов элемента И-НЕ N1.1, N1.2, P1.1, P1.2 и транзисторов инвертора N1.3, N1.4, P1.3, P1.4. Выход элемента И-НЕ является внутренним узлом элемента И. Элемент ИЛИ (рис. 3) состоит из транзисторов элемента ИЛИ-НЕ N4.1–N4.3, P4.1–P4.3 и транзисторов инвертора N4.4, N4.5, P4.4, P4.5. Выход элемента ИЛИ-НЕ является внутренним узлом элемента ИЛИ.

Каждый из логических элементов И и ИЛИ на рис. 2 и рис. 3 состоит из двух групп транзисторов: одна из NMOП транзисторов Gr1N на рис. 2 (и Gr4N на рис. 3), а вторая из РМОП транзисторов Gr1P на рис. 2 (и Gr4P на рис. 3).

Каждая из групп Gr1N и Gr1P элемента И включает транзисторы элемента И-НЕ соответствующего типа проводимости канала и два транзистора той же проводимости из двух электрически параллельно соединенных инверторов на выходе элемента И-НЕ. Эти параллельно соединенные транзисторы двух инверторов топологически расположены симметрично (рис. 2δ) с разных сторон от транзисторов элемента И-НЕ в группах Gr1N и Gr1P. По такой же структуре расположены сдвоенные транзисторы инверторов в компоновке топологии транзисторов элемента ИЛИ (рис. 36), где транзисторы инверторов расположены симметрично (рис. 36) с разных сторон от транзисторов элемента ИЛИ-НЕ в группах Gr4N и Gr4P. Цель дублирования транзисторов инверторов и расположения дублирующих транзисторов на другой стороне групп транзисторов элементов И-НЕ и ИЛИ-НЕ заключается в повышении эффективности сбора заряда транзисторами инверторов с треков частиц с разным расположением точек входа трека.

3. МОДЕЛИРОВАНИЕ СРЕДСТВАМИ ТСАД СБОРА ТРАНЗИСТОРАМИ ЗАРЯДА С ТРЕКА ЧАСТИЦЫ

На рис. 4 приведено изображение 3D TCAD физической модели элементов И и ИЛИ, использованной при моделировании сбора заряда с треков частиц транзисторами мажоритарного TMG элемента на основе КМОП элементов по проектной норме 65-нм КМОП объемной технологии. Тестовым воздействием в работе принят сбор заряда с треков, направленных по нормали к поверхности приборной части структуры логического элемента (как примеры треков T1 и T2 на рис. 4). Все транзисторы на рис. 4 соответствуют четырем транзисторным группам: Gr1N, Gr1P – группы транзисторов элемента И на рис. 2 и Gr4N, Gr4P – группы транзисторов элемента ИЛИ на рис. 3, ко-



Рис. 2. Элемент с логикой И: (а) схема элемента; (б) компоновка топологии элемента с компенсацией импульса помехи.



Рис. 3. Элемент с логикой ИЛИ: (а) схема элемента; (б) компоновка топологии элемента с компенсацией импульса помехи.

торые включают в себя основные транзисторы этих логических элементов и дополнительные транзисторы инверторов, используемые для повышения эффекта компенсации помех, а именно, транзисторы N1.4 и P1.4 в элементе И на рис. 2 и транзисторы N4.5 и P4.5 в элементе ИЛИ на рис. 3.

Все транзисторы элемента И имеют ширину каналов 400 нм, а транзисторы элемента ИЛИ имеют ширину каналов 800 нм. Конструкция со-

стоит из групп транзисторов с неглубокой – 400 нм траншейной изоляцией (Shallow Trench Isolation – STI) транзисторных групп, которая удалена на рис. 4 для большей четкости понимания компоновки транзисторов. Обозначения транзисторов и их групп на рис. 4 соответствуют обозначениям на рис. 2 для элемента И и на рис. 3 для элемента ИЛИ. Высоколегированные области с обозначениями n+ и p+ на рис. 4 являются фрагментами



Рис. 4. Приборная 3D TCAD физическая модель элементов D1 (И) и D4 (ИЛИ), использованная при гибридном TCAD-SPICE моделировании мажоритарного элемента Triple Majority Gate на И и ИЛИ элементах, направления треков по нормали к поверхности приборной модели (примеры треков обозначены как T1 и T2).

охранных полос, взаимно изолирующих области NMOП и РМОП транзисторов и служащих для вывода неравновесных носителей заряда на шину питания и общую шину элемента.

В работе использовано гибридное TCAD-SPICE моделирование мажоритарного элемента TMG на И и ИЛИ элементах (см. рис. 1), при котором два КМОП комбинационных логических элемента D1 (И) и D4 (ИЛИ) представлены приборной 3D TCAD физической моделью, а два логических элементов D2 (И) и D3 (И) представлены SPICE моделью. Приборное моделирование КМОП транзисторов по объемной 65-нм технологии (с длиной канала 65 нм) проведено на основе 3D TCAD моделей, представленных в работе [7]. Полные размеры 3D приборной структуры с областями, не занятыми транзисторами, 6.4 мкм × 10.9 мкм при толщине подложки 3.0 мкм.

Длительность воздействия заряда, собираемого с трека, зависит от темпа вывода заряда токами обратно смещенных стоковых *pn* переходов транзисторов. Величина заряда, генерируемого на треке, зависит от передачи энергии частицей на трек, при этом энергетическая составляющая генерации заряда характеризуется линейной передачей энергии на трек [1] – (linear energy transfer – LET). В работе при моделировании использовались треки при LET = $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. Результаты исследования получены в ходе 3D TCAD моделирования с использованием симулятора Sentaurus-Device при температуре 25°С и напряжении питания 1.0 В.

4. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ СБОРА ЗАРЯДА ТРАНЗИСТОРАМИ ЛОГИЧЕСКОГО ЭЛЕМЕНТА "И"

В логических элементах И-НЕ и ИЛИ-НЕ есть группы транзисторов с параллельным соединением выводов (Р1.1 и Р1.2 на рис. 2*a* в элементе И, а также N1.1, N1.2, N1.3 на рис. 3*a* в элементе ИЛИ) и последовательным соединением выводов (N1.1 и N1.2 на рис. 2*a* в элементе И и транзисторы Р4.1, Р4.2, Р4.3 на рис. 3*a* в элементе ИЛИ). Группы параллельного соединения транзисторов часто переходят в режим инверсного смещения при сборе заряда с трека одиночной ядерной частицы на все время сбора заряда транзисторами [8–10], чем задают длительность переходного процесса при сборе заряда с трека частицы.

4.1. Сбор заряда NMOП транзисторами группы Gr1N

На рис. 5а приведены зависимости отклонений напряжений (импульсов помех) от логического

-0.4 Узел И-НЕ 4n 100 0 $\Delta t_{выход ИЛИ}$ -0.8-0.2 $\Delta t_{выход И}$ Сток N1.2 (4n) 50 -0.4Выход ИЛИ, 5n -1.2-0.62n 3n 5n 6n 7n 8n -1.6 -0.80.25 0.50 0.75 1.00 0 1.25 1.50 1.75 0 100 200 300 400 500 Положение точки входа трека, мкм Время, пс

Рис. 5. Отклонения напряжений на узлах элемента И и выходе элемента ИЛИ (ТМG) от стационарного логического уровня и длительности отклонений в зависимости от положения точки входа трека в группе Gr1N при входах TMG элемента A = B = C = 0, линейная передача энергии на трек LET = 60 MэB · см²/мг: (*a*) амплитуды и длительности отклонений; (б) временные зависимости напряжений на узлах для точек входа трека 4n и 5n, начало сбора заряда при $t_0 = 100 \text{ nc.}$

уровня узла в стационарном состоянии и длительности отклонений на внутреннем узле И-НЕ и выходных узлах элементов И и ИЛИ в составе элемента ТМС в зависимости от координаты (положения) точки входа трека. Направление треков по нормали к поверхности кристалла при линейной передаче энергии на трек LET = $60 \text{ МэB} \cdot \text{см}^2/\text{мг}$. Зависимости даны для группы NMOП транзисторов Gr1N при состоянии вхолов элемента TMG: A = B = C = 0. На рис. 56 приведены зависимости напряжений на узлах во времени для точек входа трека 4n и 5n, начало сбора заряда при $t_0 = 100$ пс. Конкретные положения точек входов треков и их обозначения приведены на рис. 26 на эскизе топологии элемента И.

(a)

При входных сигналах A = B = C = 0 в сборе заряда участвуют запертые NMOП транзисторы N1.1 и N1.2 (образующие элемент И-НЕ), соединенные в последовательную цепочку (рис. 2a), при этом максимальные отклонения на узле И-НЕ отмечаются при треках с точками входа 3n-5n (рис. 5а), которые проходят через стоки-истоки запертых транзисторов N1.1 и N1.2. В группе Gr1N наибольшее отклонение (импульс помехи на выходе элемента И) возникает, когда трек проходит непосредственно через сток запертого транзистора N1.1 в элементе И (точка трека 5n на рис. 26) с длительностью 45 пс.

При сборе заряда с треков одиночных частиц NMOП транзисторами группы Gr1N в элементе И практически не возникают помехи, длительность которых более 50 пс (рис. 5а). При этом ложный импульс на выходе тройного мажоритарного элемента ТМG для точки трека 5n имел длительность 87 пс (рис. 5а).

(б)

На рис. 56 приведены зависимости напряжений на узлах элемента И во времени для двух треков с точками входа 4n и 5n. Зависимости для точки 5n — это пример коррекции длительности импульса помехи на выходном узле элемента И. В момент t = 100 пс начинается сбор заряда с трека, что переводит запертые транзисторы N1.1 и N1.2 элемента И-НЕ в инверсный режим смещения с напряжением сток-исток транзистора N1.1 $V_{\text{СИ.N1.1}} = 0$ В и напряжением на их стоках $V_{\text{С.N1.1}} = V_{\text{С.N1.2}} = -0.65$ В при напряжениях на из затворах $V_{3.N1.1} = V_{3.N1.2} = 0$ В (рис. 56). Импульс, возни-кающий на узле И-НЕ при t = 120 пс запирает транзисторы N1.3 и N1.4 инвертора, что переключает инвертор элемента И до напряжения V_{вых.и} = $= V_{\text{C.N1.4}} = V_{\text{C.P1.4}} = 0.95$ В, после чего запертый транзистор N1.4 начинает собирать с того же трека электроны через стоковый обратно смещенный рп-переход. При этом емкость выходного узла инвертора разряжается и снижается напряжение на выходе инвертора (выходе элемента И). До момента времени t = 300 пс NMOП транзистор N1.4 находится в состоянии, когда напряжение на затворе меньше напряжения на стоке $V_{3C.N1.4} < 0$. При t > 300 пс этот режим смещения нарушается, то есть становится $V_{3C,N1,4} > 0$, и транзистор N1.4 выходит из инверсного режима смещения, что ускоряет завершение сбора заряда транзистором N1.1 и установление стационарного состояния на выходе И: $V_{\text{BЫХ. И}} = 0$ В, а на его узле И-НЕ $V_{\rm BЫX, \ И-HE} = 1 \ {\rm B}. \ {\rm Cfop}$ заряда транзистором N1.4





Рис. 6. Отклонения напряжений на узлах элемента И и выходе элемента ИЛИ (TMG) от стационарного логического уровня и длительности отклонений в зависимости от положения точки входа трека в группе Gr1P при входах TMG элемента A = B = 1, C = 0, линейная передача энергии на трек LET = $60 \text{ МэB} \cdot \text{см}^2/\text{мr}$: (*a*) амплитуды и длительности отклонений; (*б*) временные зависимости напряжений на узлах для точек входа трека 3p, 4p, 5p, начало сбора заряда при $t_0 = 100$ пс.

укорачивает импульс помехи на выходе элемента И до 45 пс (это значение определено по уровню помехи, которая может переключить следующий элемент в цепочке). Несмотря на то, что напряжение на затворе транзистора N1.4 (это узел И-НЕ) сохраняет значение менее 0.2 В в течение 270 пс (рис. 56), в итоге под действием импульса помехи на выходе элемента И на выходе элемента TMG (узел ИЛИ) образуется ложный импульс сравнения входных сигналов с длительностью 87 пс (рис. 56), что обусловлено переходным процессом в элементе ИЛИ.

Особенностью переходного процесса при сборе заряда с трека с точкой входа 4n является то, что сразу при возникновении трека запертые транзисторы N1.1 и N1.2 переходят в инверсный режим смещения с напряжением на стоке транзистора N1.2 $V_{CИ.N1.2} = -0.65$ B, а затем в инверсное состояние с напряжением $V_{CИ.N1.2} = -(0.1-0.25)$ B (зависимости для точки 4n на рис. 56). В итоге заря с трека выводится на общую шину и импульс помехи на узле И-НЕ менее 0.6 B, а ложный импульс на выходе элемента TMG (узел ИЛИ) не возникает.

4.2. Сбор заряда РМОП транзисторами группы Gr1P

На рис. 6*а* приведены зависимости отклонений напряжений (импульсов помех) от логического уровня узла в стационарном состоянии и длительности отклонений на узле И-НЕ и выходных узлах элементов И и ИЛИ в группе РМОП транзисторов Gr1P в составе элемента TMG в зависимости от по-

МИКРОЭЛЕКТРОНИКА том 49 № 3 2020

ложения точки входа трека. Линейная передача энергии на трек LET = 60 МэВ · см²/мг. На рис. 66 приведены зависимости напряжений на узлах во времени для точек входа трека 3р, 4р, 5р, начало сбора заряда при $t_0 = 100$ пс. Зависимости приведены для группы транзисторов Gr1P при состоянии входов элемента TMG: A = B = 1, C = 0. Положения точек входов треков и их обозначения приведены на рис. 26 на эскизе топологии элемента И.

При сигналах на входах A = B = 1, C = 0 заряд начинают собирать исходно запертые РМОП транзисторы P1.1 и P1.2 (образующие элемент И-НЕ), включенные параллельно с объединенными стоками и истоками (рис. 2*a*). В группе Gr1P наибольшие отклонение (импульсы помехи на выходе элемента И) возникают, когда трек проходит через истоки или стоки запертых РМОП транзисторов P1.2, P1.1 (точки входа треков 3p—5p на рис. 6*a*).

При сборе заряда с трека с точками входа 2р или 3р открытый РМОП транзистор Р1.3 инвертора переходит в инверсное смещение, что задерживает переход этого транзистора Р1.3 в запертое состояние при возникновении на его затворе импульса положительной полярности, когда при одновременном сборе заряда с трека напряжение на стоках РМОП транзисторов Р1.1 и Р1.2 (узел И-НЕ) повышается, уменьшая длительность помехи (рис. 66).

Пара запертых РМОП транзисторов элемента И-НЕ, собирая заряд, запирает по затвору РМОП транзисторы Р1.3 и Р1.4 инвертора и переводит их в омический режим с напряжением между стоком и истоком около 0 В. Далее, РМОП транзисторы инвертора медленно собирают заряд с трека, не переключая инвертор, чем задерживается начало формирования импульса помехи отрицательной полярности на выходе элемента И, что укорачивает импульс помехи (зависимость для точки 3р на рис. 66).

При сборе заряда с трека с точками входа 4р или 5р напряжение на стоках запертых РМОП транзисторов Р1.1 и Р1.2 элемента И-НЕ резко повышается в момент образования трека при $t_0 = 100$ пс, что запирает РМОП транзистор Р1.3 инвертора, формируя фронт импульса напряжения отрицательной полярности (рис. 6*б*) на выходе И. Запертый РМОП транзистор Р1.3 инвертора начинает собирать заряд, повышая напряжение на выходном узле элемента И, что формирует "встроенный" импульс положительной полярности внутри импульса отрицательной полярности (зависимости для точек входа трека 4р, 5р на рис. 6*б*), что укорачивает импульс помехи на выходе элемента И, уменьшая длительность помехи.

В случае точек входа трека, более удаленных от транзистора Р1.3 инвертора, сбор заряда транзистором Р1.3 инвертора снижается, что приводит к снижению коррекции длительности импульса помехи. На рис. 6а приведены зависимости для точки входа трека 4р, удаленной на 0.25 мкм от точки входа 3р (рис. 26 и рис. 66), в связи с чем сбор заряда с трека транзистором инвертора Р1.3 после переключения инвертора оказывается слабее, чем при точке входа трека 3р, поскольку снижается диффузия заряда с трека. При дополнительном удалении точки входа трека от транзистора Р1.3 инвертора В, как в случае точки входа трека 5р, удаленной на 0.25 мкм от точки входа 4р, а от точки входа 3p на 0.25 мкм (рис. 6δ), снижение длительности импульса помехи на выходе элемента И за счет сбора заряда транзистором Р1.3 инвертора фактически отсутствует (рис. 6а, бб).

Амплитуды помех (отклонения от логического уровня узла) в группе Gr1P на узлах И-НЕ и И имеют значения 0.65–1.0 В, но они относительно кратковременны на выходе И – не более 60–135 пс, за исключением одной точки входа трека 5р, для которой длительность помехи 280 пс. В элементе И меньшие длительности импульсных помех отмечены в группе Gr1N с последовательным соединением NMOII транзисторов в сравнении с группой Gr1P. Ложные импульсы на выходе элемента TMG (узел ИЛИ) имеют длительности 62 пс (точка 3р), 126 пс (точка 4р) и 265пс (точка 5р).

5. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ СБОРА ЗАРЯДА ТРАНЗИСТОРАМИ ЛОГИЧЕСКОГО ЭЛЕМЕНТА "ИЛИ"

5.1. Сбор заряда NMOП транзисторами группы Gr4N

На рис. 7 приведены зависимости для группы Gr4N NMOП транзисторов при состоянии входов ТМС элемента A = B = C = 0. На рис. 7*а* приведены амплитуды и длительности отклонений напряжений (импульсов помех) от значения логического уровня узла в стационарном состоянии на внутреннем узле ИЛИ-НЕ и выходном узле элемента ИЛИ (выход TMG элемента) в зависимости от координаты точки входа трека. Треки направлены по нормали к поверхности кристалла при линейной передаче энергии на трек LET = $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. На рис. 76 приведены примеры коррекции длительности импульса помехи на выходе элемента ИЛИ (выход TMG элемента), когда треки с точками входа 4n, 5n и 6n в группе Gr4N (рис. 26) проходят через области стоков и истоков, запертых в исходном состоянии транзистора N1.4, N4.2, N4.3 при входах TMG элемента A = B = C = 0. Положения точек входов треков и их обозначения приведены на рис. Зб на эскизе топологии элемента ИЛИ.

Зависимости на рис. 7а получены, когда при входах ТМС элемента A = B = C = 0 в момент возникновения трека сбор заряда начинают исходно запертые NMOП транзисторы N4.1, N4.2, N4.3 в составе элемента ИЛИ-НЕ, включенные параллельно с объединенными стоками и истоками (рис. 3*a*). При сборе заряда с треков с точками входа 2р или 3р открытый NMOП транзистор N4.4 инвертора переходит в инверсное смещение, что задерживает переход этого транзистора N4.4 в запертое состояние при возникновении на его затворе импульса отрицательной полярности, когда при одновременном сборе заряда с трека напряжение на стоках NMOП транзисторов N4.1, N4.2, N4.3 элемента ИЛИ-НЕ понижается. В целом этот режим способствует укорочению импульса помехи на выходе элемента ИЛИ, т.е. уменьшает длительность помехи.

Для треков с точками входа 4n, 5n, 6n в момент начала сбора заряда с трека при t = 100 пс напряжение на стоках NMOII транзисторов N4.1–N4.3 (узел ИЛИ-НЕ) резко снижается, формируя фронт импульса напряжения отрицательной полярности, после чего транзисторы N4.1–N4.3 элемента ИЛИ-НЕ переходят в инверсное состояние (рис. 76) на 460 пс. Этот импульс на затворах NMOII транзисторов N4.4, N4.5 инвертора запирает их, образуя импульс помехи положительной полярности на выходе инвертора (на выходном узле элемента ИЛИ). Транзисторы N4.4 или N4.5 инвертора также начинают собирать заряд с трека, который диффундирует до



Рис. 7. Отклонения напряжений на узле элемента ИЛИ-НЕ и выходе элемента ИЛИ (TMG элемента) от стационарного логического уровня и длительности отклонений в зависимости от положения точки входа трека в группе Gr4N при входах TMG элемента A = B = C = 0, линейная передача энергии на трек LET = 60 MэB · см²/мг: (*a*) амплитуды и длительности отклонений; (*b*) временные зависимости напряжений на узлах для точек входа трека 4n, 5n и 6n, начало сбора заряда при $t_0 = 100$ пс.

них в достаточном количестве от точек входа 4n, 5n или 6n (рис. 7*б*). Сбор этого заряда снижает напряжение на выходе элемента ИЛИ, формируя "встроенный" импульс отрицательной полярности в начальную часть импульса помехи положительной полярности на выходе ИЛИ, что укорачивает импульс помехи положительной полярности на выходе элемента ИЛИ на уровне 0.7 B, тем уменьшая длительность ложного импульса на выходе ИЛИ (выходе TMG).

Таким образом, параллельно соединенные NMOП транзисторы, переходя в инверсный режим смещения и запирая NMOП транзисторы инвертора, создают условия для сбора заряда транзисторами инвертора, который задерживает образование импульса помехи на начальной стадии. Транзистор инвертора при удаленных точках входа трека собирает меньше заряда, что снижает эффективность компенсации помехи.

В группе Gr4N (рис. 7*a*) ложные импульсы (помехи) на выходе элемента TMG (узел ИЛИ)для большинства точек входа (2n-7n) треков, проходящих через области стоков транзисторов N4.1–N4.5 имеют амплитуды около 1.0 В с длительностями 200–340 пс. Длительность ложных импульсов (помехи) меньше для точек трека, которые ближе к NMOП транзисторам инвертора, которые, собирая более интенсивно заряд с трека, снижают длительность импульса помехи на выходе элемента ИЛИ.

5.2. Сбор заряда РМОП транзисторами группы Gr4P

На рис. 8*а* даны зависимости отклонений напряжений (импульсов помех) от логического уровня узла и длительности отклонений на внутреннем узле ИЛИ-НЕ для группы РМОП транзисторов Gr4P в зависимости от координаты точки входа трека. Треки направлены по нормали к поверхности кристалла при линейной передаче энергии на трек LET = $60 \text{ МэВ} \cdot \text{см}^2/\text{мг}$. На входах ТМG элемента A = C = 1, B = 0. На рис. 8*6* приведены примеры зависимостей напряжений во времени на узлах группы РМОП транзисторов Gr4P элемента ИЛИ. Обозначения точек входов треков приведены на рис. 3*6* на эскизе топологии элемента ИЛИ.

На рис. 8*а* приведены результаты моделирования параметров ложных импульсов на выходе ТМС элемента (узел ИЛИ) и внутреннем узле ИЛИ-НЕ при входных сигналах A = C = 1, B = 0. Исходно заперт в группе Gr4P только РМОП транзистор P4.3 элемента ИЛИ-НЕ, а РМОП транзисторы P4.1, P4.2 открыты (см. рис. 3*6*) и открыты транзисторы инвертора P4.4, P4.5. Поэтому сбор заряда с треков с точками входов 1p—4p и 7p, 8p, проходящих через области истоков, а также стоков открытых РМОП транзисторов не приводит к образованию импульсов помех (см. рис. 8*a*).

При сборе заряда с трека РМОП транзисторами группы Gr4P (зависимости на рис. 8*a*) образуются только два заметных отклонения от стационарного значения логического уровня на выходном узле элемента ИЛИ и на узле ИЛИ-НЕ для точек входа треков 5р и 6р: это треки в области истока и

Рис. 8. Отклонения напряжений на узле элемента ИЛИ-НЕ и выходе элемента ИЛИ (TMG элемента) от стационарного логического уровня и длительности отклонений в зависимости от положения точки входа трека в группе Gr4P при входах TMG элемента A = C = 1, B = 0, линейная передача энергии на трек LET = $60 \text{ МэB} \cdot \text{см}^2/\text{мг}$: (*a*) амплитуды и длительности отклонений; (*б*) временные зависимости напряжений на узлах для точек входа трека 5р, 6р, начало сбора заряда $t_0 = 100$ пс.

стока запертого транзистора Р4.3 (см. рис. 36). В этих случаях отклонения (ложные импульсы) на выходе элемента ИЛИ (выходе ТМС элемента) и на внутреннем узле ИЛИ-НЕ имеют значения 0.8–0.95 В, но они кратковременны – менее 100–120 пс.

На рис. 86 приведены зависимости переходных процессов напряжений на узлах при сборе заряда с треков 5р, 6р. Трек с точкой входа 5р (рис. 36) проходит через совместную область стока запертого транзистора Р4.3 и стока открытого транзистора Р4.2, а трек с точкой 6р проходит отдельно через сток запертого P4.3. В момент t = 100 пс начинается сбор заряда с трека транзистором Р4.3, что переводит запертый транзистор Р4.3 (узел ИЛИ-НЕ) в состояние с напряжением на стоке 0.8 В (сплошная линия зависимости лля точки вхола 5р на рис. 8б) или 0.93 В (штриховая линия зависимости для точки входа 6р на рис. 8б), заряжая до этого напряжения емкость узла ИЛИ-НЕ, и этот импульс переключает инвертор, запирая его транзисторы Р4.4 и Р4.5 с минимальными напряжениями на их общих стоках 0.05-0.1 В.

Затем емкость узла ИЛИ-НЕ начинает разряжаться, этот спад инвертируется инвертором на выходе ИЛИ, и напряжение на выходе элемента ИЛИ восстанавливается до значения 1.0 В. В итоге на выходном узле ИЛИ (выход ТМG элемента) образуется ложный выходной импульс (импульс помехи) отрицательной полярности (рис. 86) с амплитудой 0.9–0.95 В и длительностью 73–92 пс. Транзисторы инвертора Р4.4 и Р4.5 фактически не собирают заряд с трека, поскольку диффузия носителей заряда (дырок) от трека до них оказывается незначительной. При сборе заряда с трека импульс, образующийся на узле ИЛИ-НЕ (на стоке транзистора Р4.3, собирающего заряд с трека), просто инвертируется инвертором на транзисторах Р4.4, N4.4. В целом для элемента ИЛИ длительности помех оказываются меньше в группе Gr4P при сборе заряда РМОП транзисторами с последовательным соединением, как и для элемента И в группе Gr1N при сборе заряда NMOП транзисторами.

6. АНАЛИЗ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

Моделирование воздействия одиночных ядерных частиц средствами TCAD является виртуальной экспериментальной базой, позволяющей исследовать переходные процессы в КМОП элементах при сборе заряда с треков частиц. Кремниевые области с транзисторами окружены мелкой оксидной изоляцией глубиной 400 нм. Диффузия заряда от трека частицы до транзисторов, собирающих заряд, происходит как внутри совместных областей транзисторов, так и между этими много транзисторными областями и областями, содержащими только один транзистор инвертора (рис. 4).

В таблице 1 приведены значения длительностей ложных импульсов на выходе тройного мажоритарного элемента TMG, инициированных сбором заряда с треков одиночных частиц при линейной передаче энергии частицей на трек 60 МэВ · см²/мг с точками входа треков в группах транзисторов



Номер точки входа трека	ln/p	2n/p	3n/p	4n/p	5n/p	6n/p	7n/p	8n/p
Группа Gr1N	0	0	0	0	87 пс	0	0	0
Группа Gr1P	0	0	62 пс	126 пс	265 пс	0	0	0
Группа Gr4N	64 пс	192 пс	271 пс	306 пс	335 пс	338 пс	137 пс	0
Группа Gr4P	0	0	0	0	73 пс	92 пс	0	0

Таблица 1. Значения длительностей ложных импульсов на выходе тройного мажоритарного элемента TMG для ряда точек входов трека в группах транзисторов Gr1N, Gr1P, Gr4N, Gr4P при треках с LET = 60 M · Gm^2/M г

Примечание. Длительности ложных импульсов (помех) даны по уровню 0.7 В относительно пьедестала импульса.

Gr1N, Gr1P элемента И, а также группах Gr4N, Gr4P элемента ИЛИ.

транзисторов Gr4N элемента ИЛИ (рис. 8*a*), для которых длительности помех 300–350 пс.

1. Основной эффект при коррекции импульсных помех, возникающих при сборе заряда с трека одиночной ядерной частицы транзисторами логических элементов И, а также ИЛИ, заключается в снижении длительности импульса помехи.

Коррекция происходит, когда заряд собирается совместно двухкаскадным соединением транзисторов, первый из которых изначально заперт, а второй переводится в запертое состояние при сборе заряда первым транзистором. При этом второй транзистор собственным сбором заряда снижает длительность импульсной помехи, образованной первым транзистором. Кроме того, второй транзистор может перейти в инверсное смещение при сборе заряда с трека, а будучи транзистором инвертора в каскадном соединении, задерживает начало передачи импульса помехи на выход элемента, что укорачивает импульс помехи на выходе элемента.

2. Основные и дополнительные транзисторы инвертора на выходе элементов И-НЕ (или ИЛИ-НЕ) располагаются на противоположных граничных сторонах топологических групп N- и РМОП транзисторов элементов. Дублирование транзисторов инвертора позволяет полнее использовать для коррекции длительности импульса помехи сбор транзисторами инвертора носителей заряда, диффундирующих от треков с разными точками входа.

3. Основной вклад в образование длительных импульсных помех оказывает переход в инверсное состояние (и в состояние с малым напряжениями между истоком, затвором и стоком) транзисторов с параллельно соединенными стоками и истоками в внутренних элементах И-НЕ, а также ИЛИ-НЕ (см. данные для группы Gr4N в табл. 1).

4. Количественный результат коррекции при одновременном сборе заряда с трека каскадно соединенными транзисторами, заключается в уменьшении длительности импульсных помех на выходе КМОП элементов И (и ИЛИ) от 2 до 5 раз за исключением точки входа трека 5р в группе РМОП транзисторов Gr1P элемента И (рис. 56), а также точек входа трека 4n—6n в группе NMOП

МИКРОЭЛЕКТРОНИКА том 49 № 3 2020

ЗАКЛЮЧЕНИЕ

Установлены основные механизмы образования помех при сборе заряда с трека одиночных ядерных частиц группами транзисторов с последовательным и параллельным соединением КМОП транзисторов в группах NMOП и РМОП транзисторов комбинационных логических элементах логики И и ИЛИ. Установлены основные механизмы коррекции длительности импульсов помех при каскадном включении транзисторов логических элементов И-НЕ (а также ИЛИ-НЕ) и транзисторов инверторов, объединенных в группы транзисторов, изолированных от других групп мелкой траншейной оксидной изоляцией, что наряду с топологическим взаимным расположением транзисторов в данном случае являются минимальными конструктивно-топологическими мерами по повышению помехоустойчивости. Результаты моделирования средствами 3D TCAD подтвердили высокую помехоустойчивость базового элемента тройной мажоритарный логики на основе элементов И и ИЛИ (Triple Majority Gate – TMG) с проектной нормой объемный 65-нм КМОП при линейной передаче энергии частицей на трек до 60 МэВ · см²/мг включительно. Длительность ложного импульса результата сравнения сигналов на входах тройного мажоритарного элемента, инициированного сбором заряда с трека одиночной ядерной частицы с наиболее критичными точками входа трека в стоки МОП транзисторов, не превышает 340 пс в наихудшем случае при линейной передаче энергии частицей на трек 60 МэВ · см²/мг. Усредненные ожидаемые значения границ диапазона оценки длительности ложного импульса на выходе элемента TMG имеют значения 70-180 пс.

Благодарности: Исследование выполнено при финансовой поддержке РФФИ в рамках научно-го проекта № 19-07-00651.

СПИСОК ЛИТЕРАТУРЫ

 Soft errors in Modern Electronic Systems / M. Nicolaidis, Ed. N.Y.: Springer, 2011. P. 27–54.

- Mahatme N.N., Jagannathan S., Loveless T.D., Massengill L.W., Bhuva B.L., Wen S.-J., Wong R. Comparison of combinational and sequential error rates for a deep submicron process // IEEE Transactions on Nuclear Science. 2011. V. 58. № 6. P. 2719–2725.
- 3. Ahlbin J.R., Massengill L.W., Bhuva B.L., Narasimham B., Gadlage M.J., Eaton P.H. Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
- Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuva B.L., Massengill L.W. Layout technique for single-event transient mitigation via pulse quenching // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
- Katunin Yu.V., Stenin V.Ya. TCAD Simulation of the 65-nm CMOS Logical Elements of the Decoders with Single-Event Transients Compensation // Proceedings of 2018 Workshop on Electronic and Networking Technologies (MWENT). Moscow, 2018. P. 1–6.
- 6. Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Translation Lookaside Buffer on the 65-nm STG

DICE Hardened Elements // Telfor J. 2018. V. 10. \mathbb{N}_{2} 1. P. 50–55.

- 7. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. N.Y.: Springer, 2010. P. 194–205.
- Катунин Ю.В., Стенин В.Я. Элемент совпадения на основе ячейки памяти STG DICE для ассоциативных запоминающих устройств, сбоеустойчивых к воздействиям одиночных ядерных частиц // Микроэлектроника. 2018. Т. 47. № 2. С. 158–174.
- 9. Катунин Ю.В., Стенин В.Я. Логический С-элемент на основе STG DICE триггера для асинхронных цифровых устройств, устойчивых к воздействиям одиночных ядерных частиц // Микроэлектроника. 2019. Т. 48. № 3. С. 176–190.
- Стенин В.Я., Катунин Ю.В. Моделирование эффектов воздействия одиночных ядерных частиц на STG RS триггер с разделением транзисторов на две группы // Микроэлектроника. 2018. Т. 47. № 6. С. 451–459.