МИКРОЭЛЕКТРОНИКА, 2019, том 48, № 5, с. 389–394

ПРИБОРЫ

УДК 621.3.049.77

НОВЫЙ ПРЕОБРАЗОВАТЕЛЬ УРОВНЯ НАПРЯЖЕНИЯ ДЛЯ МАЛОМОЩНЫХ ПРИЛОЖЕНИЙ

© 2019 г. В. В. Шубин*

Новосибирский государственный технический университет, кафедра полупроводниковых приборов и микроэлектроники, пр-т К. Маркса, 20, Новосибирск, 630073 Россия

**E-mail: shubin@nzpp.ru*

Поступила в редакцию 15.01.2019 г.
После доработки 22.01.2019 г.
Принята к публикации 22.01.2019 г.

Представлен новый преобразователь уровня напряжения для маломощных приложений. Кроме того, описан оригинальный метод формирования цепи низкой проводимости, использованный в новом преобразователе уровня напряжения для повышения быстродействия и снижения динамического тока потребления. Результаты моделирования показывают, что время задержки переключения нового преобразователя уровня напряжения уменьшены, не менее, чем на 30%. Предложенный преобразователь уровня напряжения, по сравнению с традиционными схемами, устойчиво работает в более широком диапазоне рабочих напряжений.

Ключевые слова: преобразовательная техника, преобразователи логического уровня напряжения, быстродействие, качество, надежность

DOI: 10.1134/S0544126919040082

ВВЕДЕНИЕ

С каждым годом преобразователи уровня напряжения привлекают все большее и большее внимание исследователей. Причины этого интереса объясняются расширением функциональных требований к современным электронным системам:

• сопряжение элементов электронных систем с несколькими источниками питания;

• согласование схем с различными уровнями напряжений внутренних сигналов;

• применение в схемах защиты от ESD (Electrostatic discharge) [1];

• снижение мощности потребления в системах с несколькими пороговыми напряжениями МОП-транзисторов [2];

• использование в системах с наличием режима ожидания (standby) [3];

• применение в режиме стирания информации ячейки памяти флэш-**ЗУ** для организации F-N туннелирования (Квантово-механический эффект туннелирования по Фаулеру–Нордхейму) и т.д. [4, 5].

Классификация преобразователей уровня напряжения по функциональным и конструктивно-технологическим признакам очень сложна и требует отдельного специального описания. В данной работе исследуются классические преобразователи уровня снизу-вверх, изготовленные по КМОП-технологии [2].

В статье предложено описание нового преобразователя низкого уровня напряжения в напряжение высокого уровня (снизу-вверх) с двумя источниками питания и равнозначными прямым и инверсным выходными буферами. Кроме того, описано применение оригинального метода низко-проводящих цепей, используемого для повышения быстродействия и снижения динамического тока потребления.

1. ОБЫЧНЫЙ КМОП ПРЕОБРАЗОВАТЕЛЬ УРОВНЯ НАПРЯЖЕНИЯ

На рис. 1 показана схема обычного КМОП преобразователя уровня напряжения (**ОПУН**) [6–10].

Схему обычного КМОП преобразователя уровня напряжения можно разбить на три функционально независимых блока:

1. Генератор входного прямого и инверсного сигналов низкой амплитуды *GND–VDDL* на транзисторах *VT1–VT4*.

2. Преобразователь сигнала низкой амплитуды *GND–VDDL* в сигнал высокой амплитуды *GND–VDDH VT5–VT8*.

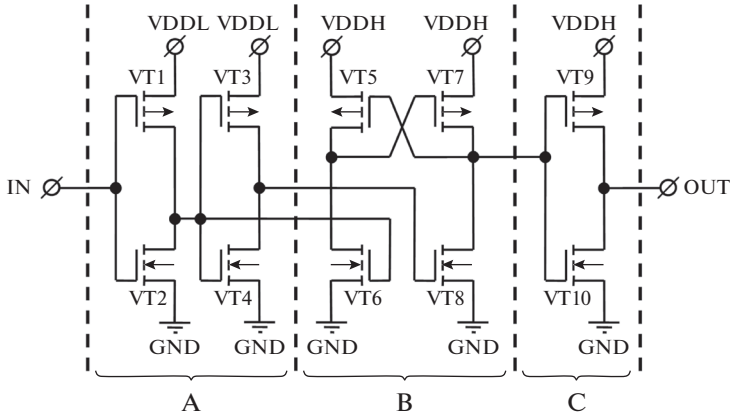

Рис. 1. Обычный КМОП преобразователь уровня напряжения: A – генератор входного прямого и инверсного сигналов низкой амплитуды (*GND–VDDL*); B – преобразователь сигнала низкой амплитуды (*GND–VDDL*) в сигнал высокой амплитуды (*GND–VDDH*); C – буфер выходного прямого сигнала высокой амплитуды (*GND–VDDH*).

3. Буфер выходного прямого сигнала высокой амплитуды *GND–VDDH VT9–VT10.*

Генератор входного прямого и инверсного сигналов низкой амплитуды *GND–VDDL* формирует прямой и инверсный сигналы и состоит из двух инверторов включенных последовательно. Оба инвертора запитаны источником питания низкого уровня напряжения *VDDL*. Выход первого инвертора на транзисторах *VT1* и *VT2* образует инверсный сигнал для инверсного входа преобразователя уровня напряжения и служит входным сигналом для второго инвертора, а выход второго инвертора на транзисторах *VT3* и *VT4* – прямой сигнал для прямого входа преобразователя уровня напряжения. генератор входного прямого и инверсного сигналов низкой амплитуды *GND–VDDL* может быть выполнен и на одном инверторе, в котором источником прямого сигнала является вход инвертора, а источником инверсного – его выход.

Преобразователь сигнала низкой амплитуды (*GND–VDDL*) в сигнал высокой амплитуды (*GND–VDDH*), выполненный в виде защелки триггера, и буфер выходного прямого сигнала высокой амплитуды (*GND–VDDH*), запитаны от источника питания высокой амплитуды *VDDH*.

Для надежного функционирования обычного КМОП преобразователя уровня напряжения требуется смещение вниз передаточных характеристик в каждой половине защелки триггера преобразователя сигнала низкой амплитуды *GND–VDDL* в сигнал высокой амплитуды *GND–VDDH*. Выполнение этого условия достигается уменьшением соотношения W_P/W_N ширин каналов транзисторов защелки *VT5–VT8*. В свою очередь это приводит к увеличению времени переключения защелки и, следовательно, к потере быстродействия обычного КМОП преобразователя уровня напряжения. Кроме того, из-за увеличения времени переходного процесса повышается динамический ток потребления [9, 11].

Поэтому в настоящее время усовершенствованию преобразователей уровня напряжения уделяется повышенное внимание. Ниже представлено решение, направленное на устранение перечисленных недостатков.

2. СХЕМА НОВОГО ПРЕОБРАЗОВАТЕЛЯ УРОВНЯ НАПРЯЖЕНИЯ ДЛЯ МАЛОМОЩНЫХ ПРИЛОЖЕНИЙ

Схема нового преобразователя уровня напряжения для маломощных приложений (НПУН) [12] приведена на рис. 2 новый преобразователь уровня напряжения отличается от обычного построением сети подтяжки вверх (Pull-Up Network) триггера преобразователя сигнала низкой амплитуды (*GND–VDDL*) в сигнал высокой амплитуды (*GND–VDDH*). Инвертор на транзисторах VT15 и VT16 образует буфер выходного инверсного сигнала высокой амплитуды (*GND–VDDH*).

Буферы выходного прямого и инверсного сигналов высокой амплитуды *GND–VDDH* предназначены для усиления выходных сигналов при работе на большую нагрузку и используются для формирования сигналов обратной связи при управлении цепями высокой проводимости в сети подтяжки вверх (Pull-Up Network).

P-канальные транзисторы VT5, VT7, VT11 и VT14 формируют две цепи высокой проводимости VT11/VT5 и VT14/VT7 и поэтому выполнены с большой шириной канала (W) и минимальной длиной канала (L). P-канальные транзисторы VT12 и VT13, в отличие от транзисторов VT5, VT7, VT11 и VT14, выполнены с минимальной шириной канала W и с большой длиной канала L, вслед-

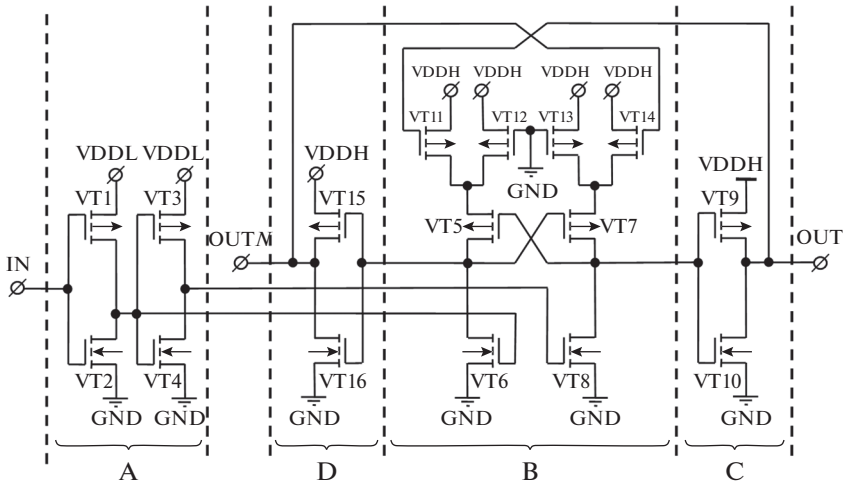

Рис. 2. Новый преобразователь уровня напряжения для маломощных приложений. A – генератор входного прямого и инверсного сигналов низкой амплитуды (*GND–VDDL*); B – преобразователь сигнала низкой амплитуды (*GND–VDDL*) в сигнал высокой амплитуды (*GND–VDDH*); C – буфер выходного прямого сигнала высокой амплитуды (*GND–VDDH*); D – буфер выходного инверсного сигнала высокой амплитуды (*GND–VDDH*).

ствие чего, совместно с транзисторами VT5 и VT7 они образуют цепи низкой проводимости. Проводимость МОП-транзисторов обратно пропорциональна длине канала L и поэтому, чем больше длина канала L транзисторов VT12 и VT13, тем меньше их проводимость. Чем ниже проводимость транзисторов VT12 и VT13, тем ниже совокупная проводимость цепей VT12/VT5 и VT13/VT7. Так как в процессе переключения схемы N-канальным транзисторам VT6 и VT8 приходится преодолевать противодействие цепей сетей подтяжки вверх защелки на транзисторах VT12/VT5 и VT13/VT7, то чем ниже их проводимость, тем быстрее происходит переключение схемы.

Так как затворы транзисторов VT12 и VT13 подсоединены к источнику питания низкого уровня напряжения *GND*, то их емкость затвор/подложка не влияет на быстродействие схемы. С другой стороны, чем больше длина канала L транзисторов VT12 и VT13, тем меньше их проводимость и тем меньше длительность переходного процесса при переключении защелки триггера преобразователя сигнала низкой амплитуды в сигнал высокой амплитуды. Поэтому, так как в предложенной схеме цепь низкой проводимости не используется для формирования сигнала высокого уровня, то ее быстродействие выше обычной. Кроме того, в предложенной схеме динамический ток потребления меньше, так как величина динамического тока потребления в КМОП-схемах пропорциональна длительности переходного процесса переключения. Длина канала транзисторов *VT12* и *VT13* может быть сколь угодно большой и выбирается исключительно из соображений топологической целесообразности.

3. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ И СРАВНЕНИЕ НОВОГО ПРЕОБРАЗОВАТЕЛЯ УРОВНЯ НАПРЯЖЕНИЯ ДЛЯ МАЛОМОЩНЫХ ПРИЛОЖЕНИЙ С ОБЫЧНЫМ

Сравнение двух разных принципиальных схем, выполняющих одну функцию, всегда представляет сложную задачу. Наиболее распространенным методом сравнения цифровых схем является сравнение результатов моделирования схем с минимально допустимыми размерами элементов в рамках одного технологического процесса. Такой метод плохо подходит для сравнения преобразователей уровня напряжения, так как для надежной работы обычного преобразователя уровня напряжения требуется перекос передаточных характеристик защелки триггера.

Поэтому для сравнения преобразователей уровня напряжения необходимо использовать другой метод – сравнение результатов моделирования схем, предварительно оптимизированных на работу в равных условиях: на одинаковую выходную нагрузку при одинаковом входном воздействии. Недостатком этого метода является трудность достижения необходимого и равного уровня оптимизации. Это может привести к сравнению схем с разным уровнем оптимизации, т.е. сравнению схем, находящихся в неравных условиях. Кроме того, процедура такой оптимизации отнимает большое количество времени.

Поэтому для достижения более достоверных результатов необходимо сформулировать ряд условий, на основании которых проводится оптимизация и сравнение. В данной работе приняты следующие соглашения:

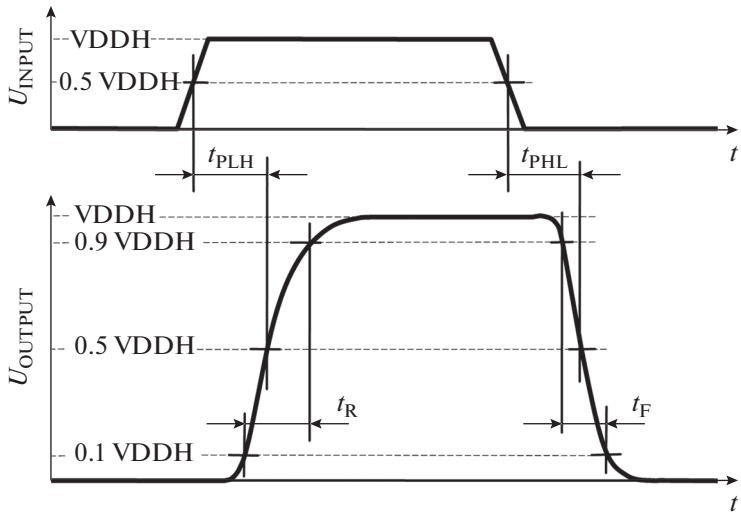

Рис. 3. Представление контролируемых параметров.

• длины каналов (L) всех транзисторов равны минимально допустимому значению длины канала выбранного технологического процесса, за исключением тех случаев, когда этого требует особенности схемы;

• соотношение ширин каналов W_P/W_N инверторов генератора входного прямого и инверсного сигналов низкой амплитуды *GND–VDDL* и буфера выходного прямого сигнала высокой амплитуды *GND–VDDH* выбираются из соображений согласования их сопротивлений в открытом состоянии. Целью такого подбора размеров транзисторов является получение инверторов с передаточной характеристикой, обеспечивающей равные времена переключения инверторов при изменении входного сигнала от низкого уровня напряжения к высокому и от высокого к низкому [13];

• принципиальные схемы и размеры транзисторов генератора входного прямого и инверсного сигналов низкой амплитуды *GND–VDDL*, буфера выходного прямого сигнала высокой амплитуды *GND–VDDH* и N-канальных транзисторов преобразователя сигнала низкой амплитуды *GND–VDDL* в сигнал высокой амплитуды *GND–VDDH* у сравниваемых схем совпадают и равны друг другу;

• оптимизация схемы проводится подбором размеров длины (L) и ширины (W) P-канальных транзисторов преобразователя сигнала низкой амплитуды *GND–VDDL* в сигнал высокой амплитуды *GND–VDDH*, обеспечивающих наибольшее быстродействие [13].

• Сравнение схем проводится по результатам моделирования в равных условиях, описанных выше.

Кроме того, выбираем следующие условия расчета переходного процесса для сравнения динамических параметров нового преобразователя уровня напряжения (НПУН) для маломощных приложений с обычным (ОПУН).

1. Проводится преобразование напряжения для входного сигнала U_{INPUT} амплитудой 0–3 V, в выходной сигнал U_{OUTPUT} амплитудой 0–10 V.

2. $VDDL = 3$ V, $VDDH = 10$ V.

3. Длительность полных фронтов входного сигнала U_{INPUT}, положительного t_R и отрицательного t_F – 6 nS.

4. Емкость выходной нагрузки C_L – 20 pF.

Для оценки характеристик преобразования используем общепринятые параметры:

• t_{PLH} и t_{PHL} – времена задержек положительного и отрицательного фронтов от 0.5 значения амплитуды напряжения входного сигнала U_{INPUT} до 0.5 значения амплитуды напряжения выходного сигнала U_{OUTPUT};

• t_R и t_F – времена длительности положительного и отрицательного фронтов выходного сигнала измеренные от 0.1 до 0.9 значения уровня амплитуды выходного сигнала.

Перечисленные параметры представлены на рис. 3.

Результаты моделирования получены с помощью модуля PSpice программы OrCAD 9.2 ф. Cadence, с использованием математической модели 3-го уровня и данными 3-х мкм КМОП-технологического процесса, а графики на рис. 4 – с помощью модуля Probe. Расчеты проведены в режиме временного анализа “Transient” по постоянному току (DC-анализ).

Результаты моделирования демонстрируют превосходство по быстродействию нового пре-

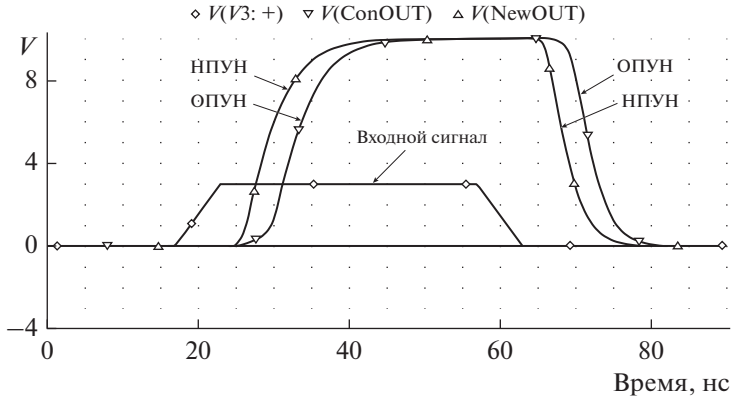

Рис. 4. Графики результатов моделирования работы нового преобразователя уровня напряжения для маломощных приложений и обычного, полученные с помощью модуля Probe программы OrCAD 9.2.

образователя уровня напряжения для маломощных приложений над обычным.

В табл. 1 приведены численные значения временных параметров, полученных при моделировании двух сравниваемых преобразователей уровня напряжения, и результаты их сравнения.

ЗАКЛЮЧЕНИЕ

В данной статье описан новый преобразователь уровня напряжения для маломощных приложений и представлена его электрическая принципиальная схема. Кроме того, дано описание его работы, основанной на оригинальном методе формирования цепи низкой проводимости, который использован для уменьшения времени задержки переключения и динамического тока потребления за счет минимизации эффекта противодействия переходного процесса по перезаряду выходных емкостей триггера.

В предложенный новый преобразователь уровня напряжения для маломощных приложений дополнительно введен выходной инвертор инверсного сигнала. Выходные инверторы прямого и инверсного сигналов, предназначенные для организации предварительной установки сети подтяжки вверх высокой проводимости (Pull-Up Network), одновременно могут выполнять усилительную функцию буферов выходных прямого и инверсного сигналов.

Результаты моделирования демонстрируют, что динамические характеристики нового преобразователя уровня напряжения для маломощных приложений превосходят аналогичные характеристики обычного КМОП преобразователя уровня напряжения. В том числе время задержки переключения уменьшено, не менее чем, на 30%. Схема предложенного нового преобразователя уровня напряжения по сравнению с традиционными схемами может работать в более широком диапазоне рабочих напряжений. Кроме того, в новом преобразователе уровня напряжения для маломощных приложений, за счет уменьшения

Таблица 1. Численные значения временных параметров нового преобразователя уровня напряжения и обычного и результаты их сравнения по быстродействию

Параметр	Обычный преобразователь уровня напряжения	Новый преобразователь уровня напряжения	Превосходство нового преобразователя уровня напряжения над обычным преобразователем уровня напряжения по быстродействию, (%)
t_{PLH}, (нс)	14.280	9.754	31.695
t_{PHL}, (нс)	13.003	8.957	31.116
t_R, (нс)	9.160	9.046	1.245
t_F, (нс)	6.072	6.033	0.642

времени задержки переключения уменьшен динамический ток потребления.

СПИСОК ЛИТЕРАТУРЫ

1. *Ker M.-D., Hsu K.-C.* Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS intergrated circuit // IEEE Trans. Device Mater. Reliabil. Jun. 2005. V. 5. № 2. P. 235–249.
2. *Kursun V., Friedman E.G.* Multi-voltage CMOS Circuit Design, West Sussex // John Wiley & Sons, Inc., August 2006, 242 p.
3. *Shibata N. et al.* A 0.5-V 25-MHz 1-mW 256-Kb MTCMOS/SOI SRAM for solar-power-operated portable personal digital equipment – Sure write operation by using step-down negatively overdriven bitline scheme // IEEE J. Solid-State Circuits. 2006. V. 41. № 3. P. 728–742.
4. *Tilke A. et al.* Highly Scalable Embedded Flash Memory with Deep Trench Isolation and Novel Buried Bitline Integration for the 90-nm Node and Beyond // IEEE trans. Electron Devices. Jul. 2007. V. 54. № 7. P. 1681–1688.
5. *Otsuka N., Horowitz M.* Circuit techniques for 1.5 V power supply flash memory // IEEE J. Solid-State Circuits. Aug. 1997. V. 32. № 8. P. 1217–1230.
6. *Tan S.C., Sun X.W.* Low power CMOS level shifters by bootstrapping technique // Electron. Letter. 2002. V. 38. № 16. P. 876–878.
7. *Chavan A., MacDonald E.* Ultra low voltage level shifters to interface sub and super threshold reconfigurable logic cells // IEEE Aerospace Conference. Big Sky, Montana. 2008. P. 1–6.
8. *Koo K.H., Seo J.-H., Ko M.-L., Kim J.-W.* A new level-up shifter for high speed and wide range interface in ultra deep sub-micron // IEEE International Symposium on Circuits and Systems. 2005. V. 2. P. 1063–1065.
9. *Kumar M., Arya S.K., Pandey S.* Level Shifter Design for Low Power Applications // International J. computer science & information Technology. Oct. 2010. V. 2. № 5. P. 124–132.
10. *Zhang B., Liang L., Wang X.* A new level shifter with low power in multi-voltage system // IEEE International Conference on Solid-State and Integrated Circuit Technology, Shanghai. 2006. P. 1857–1859.
11. *Baker J.R.*, *Hoboken N.* CMOS. Circuit Design, Layout, and Simultion. 2nd ed. John Wiley & Sons, Inc. 2005. 1038 p.
12. Патент № 2604054 РФ, МПК H03K 19/094 (2006.01). Преобразователь уровня напряжения / В.В. Шубин; заявитель и патентообладатель В.В. Шубин. № 2016102110/07; заявл. 22.01.16; опубл. 10.12.16, Бюл. № 34. 8 с.
13. *Rabaey J.M. Chandrakasan A, Nikolic B.* Digital Integrated Circuits: A Design Perspective. 2nd ed // Englewood Cliffs., N.J., Prentice Hall. 2002. 491 p.