

УДК 519.688,004.94

МОДЕЛЬ НА ЯЗЫКЕ VERILOG-A МНОГОУРОВНЕВОГО БИПОЛЯРНОГО МЕМРИСТОРА С УЧЕТОМ ДЕВИАЦИЙ ПАРАМЕТРОВ ПЕРЕКЛЮЧЕНИЯ

© 2019 г. Г. С. Теплов¹, *, Е. С. Горнев¹, **

¹ Научно-исследовательский институт молекулярной электроники (АО «НИИМЭ») 1-ый Западный проезд, 12, с. 1, Зеленоград, 124460 Россия

* E-mail: gteplov@niime.ru

** E-mail: egornev@niime.ru

Поступила в редакцию 20.11.2018 г.

После доработки 12.12.2018 г.

Принята к публикации 16.12.2018 г.

Представлено описание биполярного мемристора на языке Verilog-A. Предлагаемые модельные представления учитывают в процессе переключения мемристора между состояниями проводимости следующие девиации параметров: разбросы параметров проводимости в высокорезистивном и низкорезистивном состоянии, разбросы порогов переключения и разброс количества циклов переключения.

Ключевые слова: моделирование мемристора, мемристор, биполярный мемристор, многоуровневый мемристор, Verilog-A модель, девиации параметров переключения

DOI: 10.1134/S0544126919030104

ВВЕДЕНИЕ

Развитие отрасли носимой электроники, примерами которой могут служить такие устройства, как смартфоны, умные браслеты, планшеты, умные очки, диктует все более жесткие требования к микросхемам и чипам по энергопотреблению и миниатюризации. Постоянное снижение минимальных топологических норм, выраженное в постоянной смене техпроцессов, не всегда может удовлетворить запросы разработчиков [1]. В свою очередь технология энергонезависимой памяти на основе FLASH имеет ограничения по масштабированию, что подтолкнуло к поиску новых элементов энергонезависимой памяти.

Множество новых компонентов элементной базы энергонезависимой памяти обладают схожими параметрами по масштабированию [2], так например, MRAM уже внедряется на техпроцессе 32 нм, для PCM идет отработка процесса 22 нм, Re RAM на основе мемристоров, также отрабатывается на техпроцессе 22 нм. Преимуществом, выгодно отличающим мемристор из всего множества новых компонентов, является его многоуровневость, т.е., возможность получения более двух устойчивых дискретных состояний на одном элементе [3].

Традиционный подход к описанию мемристора позволяет определить его как элемент энергонезависимой памяти, имеющий два контакта. Реализация функции памяти на элементе осуществ-

ляется, за счет изменения состояния проводимости между высокорезистивным (HRS) и низкорезистивным состояниями (LRS). Теоретическое описание компонента впервые предложил L. Chua в работе [4]. Первые экспериментальные образцы были получены в лаборатории HP десятилетие назад [5]. Проектирование на основе компактных моделей мемристоров уже активно применяется разработчиками [6–9]. Мемристоры могут быть использованы в качестве элемента синапса нейрона с нелинейными значениями весовых коэффициентов [10].

Внедрение мемристивных элементов памяти [11, 12] в технологические процессы производства сдерживается плохими показателями воспроизводимости устройств. Требования воспроизводимости, предъявляемые к мемристорам, могут быть снижены за счет более корректного учета дисперсии выходного сигнала в последующих схемах его обработки, что в свою очередь влечет необходимость учета девиации параметров при изменении проводимости. Существующие модели не учитывают ряд электрофизических особенностей мемристивных ячеек памяти, влияющих на состояния проводимости и наработку до отказа [13]. Построение модели биполярного мемристивного элемента на основе оксидов металлов, учитывающей экспериментально подтвержденные девиации параметров ячеек при переключе-

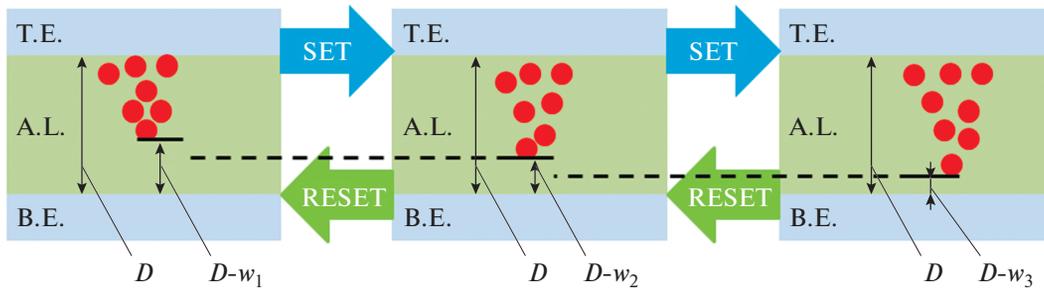


Рис. 1. Процесс изменения проводимости мемристора. Т.Е. – верхний электрод, В.Е. – нижний электрод, А.Л. – активный слой, красные точки – образующийся канал проводимости (филамент), SET – перевод мемристора в высокопроводящее состояние, RESET – перевод мемристора в низкопроводящее состояние. D – толщина активного слоя, w – длина филамента.

нии между состояниями проводимости, и является целью данной работы.

ОБЗОР СУЩЕСТВУЮЩИХ ПОДХОДОВ И МОДЕЛЕЙ

К одному из первых примеров построения компактной модели мемристоров относится работа [14],

$$V(t) = I(t) \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right), \quad w(t) = \mu_V \frac{R_{ON}}{D} q(t).$$

Здесь R_{OFF} , R_{ON} – константное значение низкопроводящего и высокопроводящего состояний соответственно, $w(t)$ – величина допированного кислородными вакансиями активного слоя, рис. 1, μ_V – подвижность носителей заряда, D – толщина активного слоя, $q(t)$ – протекающий через мемристор заряд.

Модель линейного дрейфа на языке Verilog-A представлена в исследовании [15]. Пред-

ориентированная на биполярный механизм переключения. Подходы к описанию мемристивных компонентов изначально базировались на модели линейного ионного дрейфа, представленной в работе [5]. Модель использовала линейную зависимость процесса миграции кислородных вакансий для объяснения изменения механизма проводимости:

ложенный метод использует декомпозицию функции изменения проводимости на “функцию окна” и линейную функцию изменения проводимости в зависимости от протекающего через мемристор тока. Функция окна $f_w(w)$ ограничивает выход за пределы значений R_{OFF} и R_{ON} состояния проводимости мемристора.

$$\frac{dw}{dt} = f(w, I) \triangleq kI(t) f_w(w), \quad k = \frac{\mu_V R_{ON}}{D}, \quad f_w(w) = \begin{cases} 1, & 0 < \frac{w}{D} < 1 \\ 0, & \text{else} \end{cases}$$

Помимо ограничения выхода за пределы, в существующих моделях мемристоров функция окна может также вносить нелинейность в процесс изменения проводимости. Например, в работах [16–18] предлагаются свои варианты нелинейных функций окна, и исследуется их влияние на

процесс изменения проводимости. Процесс протекания тока в мемригоре может быть описан с применением уравнений Симмонса для туннелирования сквозь барьер [19]. Тогда сама зависимость тока на выходе принимает нелинейный характер:

$$V(t) = R_{ON} e^{\frac{\lambda}{x_{OFF} - x_{ON}} (x_{OFF} - x)} I(t), \quad x \equiv \frac{w}{D} \in [0, 1],$$

где e^λ – подгоночный коэффициент. Величина изменения проводимости для данного случая определяется следующей зависимостью от тока [19]:

$$\frac{dw}{dt} = f(w, I) = \begin{cases} \frac{dw}{dt} = f_{\text{off}} \sinh\left(\frac{I}{i_{\text{off}}}\right) e^{-e^{\left(\frac{w-a_{\text{off}}}{w_c} \frac{|I|}{b}\right)} \frac{w}{w_c}}, & i > 0 \\ \frac{dw}{dt} = f_{\text{on}} \sinh\left(\frac{I}{i_{\text{on}}}\right) e^{-e^{\left(\frac{w-a_{\text{on}}}{w_c} \frac{|I|}{b}\right)} \frac{w}{w_c}}, & i < 0 \end{cases}.$$

Здесь $i_{\text{on}}, i_{\text{off}}, a_{\text{on}}, a_{\text{off}}, b, w_c, f_{\text{on}}, f_{\text{off}}$ – подгоночные коэффициенты модели. Преимуществом подхода является отсутствие в модели порогов переключения, что в свою очередь приводит к повышенным требованиям к ресурсам в процессе вычислений. Более упрощенный подход, реализующий указанные зависимости и основанный на функции использующей пороговое описание поведения мемристора, представлен в исследовании [21]. Помимо рассмотренных выше моделей, которые используют в качестве механизма управления изменением проводимости значения электрического тока, исследователями также применяются модели биполярных мемристоров, использующие значения напряжений для управления процессом переключения [22–24]. Модель с управляющим внутренним состоянием проводимости мемристора пороговым напряжением, обобщающая основные мемристивные компоненты и различные подходы к их описанию, представлена в [25].

Модель, учитывающая множественность состояний проводимости с учетом разброса параметров, представлена в работе [26]. К недостаткам подхода можно отнести необходимость отдельно, заранее определяемого моделью, описания каждого из уровней проводимости, что не позволяет определить влияние разброса параметров на количество получаемых промежуточных состояний. Исследование влияния разбросов параметров проводимости HRS и LRS выполнено тем же коллективом в работе [27]. Переключение между двумя состояниями проводимости HRS и LRS от цикла к циклу представлено без учета девиации порогов переключения, наблюдаемых экспери-

ментально. Более подробные обзоры моделей и исследования их параметров можно найти в [28, 29].

МАТЕМАТИЧЕСКОЕ ОПИСАНИЕ КОМПАКТНОЙ МОДЕЛИ МЕМРИСТОРА

Предлагаемая авторами модель описания мемристора средствами САПР Cadence на языке высокого уровня Verilog-A основывается на модели линейного дрейфа кислородных вакансий с механизмом переключения по напряжению [14]. Выходной сигнал с мемристора представляется простой омической зависимостью:

$$I(t) = V(t)/R(V(t), x, t), \tag{1}$$

где $V(t)$ – приложенное между контактными площадками напряжение, x – внутренне состояние мемристора; $R(V(t), x, t)$ – текущее состояние сопротивления мемристора; $I(t)$ – выходной ток мемристора.

Изменение проводимости имеет следующую связь с предыдущим состоянием:

$$R(V(t), x, t + 1) = R(V(t), x, t) - x(V(t), t + 1). \tag{2}$$

Величина изменения проводимости отождествляется интегралом разности между приложенным напряжением и значением порога переключения, исчисляющимся за период превышения порога (3). Для корректной работы модели применяется функция окна f_w , предотвращающая выход за границы значений переменной сопротивления (4). Модель включает подгоночный размерный коэффициент a .

$$\frac{dx}{dt} = af_w(x) \begin{cases} \int_0^{t_S} (V(t) - V_{thS}) dt, V(t) > V_{thS} \\ \int_0^{t_{RS}} (V(t) - V_{thRS}) dt, V(t) < V_{thRS}, \\ 0, V_{thRS} < V(t) < V_{thS} \end{cases} \tag{3}$$

$$f_w(x) = \begin{cases} 1, R_{\text{on}} < R(V(t), x, t) < R_{\text{off}} \\ 0, \text{else} \end{cases}, \tag{4}$$

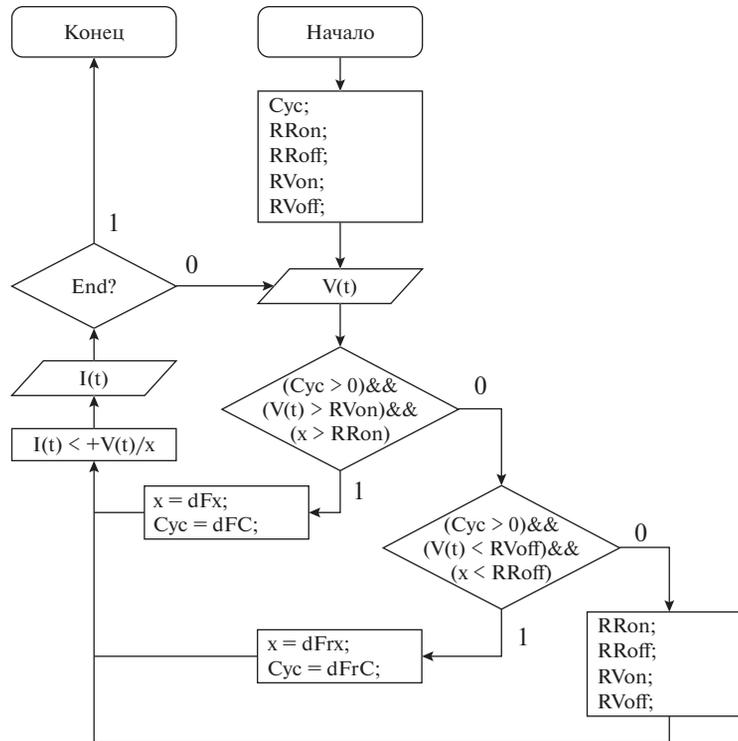


Рис. 2. Схема работы алгоритма.

где a – подгоночный коэффициент; $V(t)$ – приложенное между контактными площадками напряжение; x – изменение сопротивления мемристора; t_S – время превышения импульсом порога записи; t_{RS} – время превышения импульсом порога стирания; V_{thS} – текущее значение порога переключения в высокопроводящее состояние; V_{thRS} – текущее значение порога переключения в низкопроводящее состояние; R_{on} – текущее значение высокопроводящего состояния; R_{off} – текущее значение низкопроводящего состояния. Все текущие значения задаются случайно по усеченному симметричному распределению Гаусса в границах $\pm\Delta V_{thS}$, $\pm\Delta V_{thRS}$, $\pm\Delta R_{on}$, $\pm\Delta R_{off}$ соответственно. Указанные отклонения наблюдаются экспериментально и представлены в работах [13, 30]. Введенные в модель параметры позволяют моделировать процесс переключения мемристора между состояниями проводимости с учетом девиаций параметров, что позволяет учитывать дисперсию выходного сигнала при проектировании последующих схем обработки сигналов.

Для учета разбросов по количеству циклов переключения мемристора, была введена переменная ресурса переключения. Количество циклов переключения задается напрямую параметром модели, аналогично подходу, применяемому в работах [26, 27]. Отличие от подхода, применяемого в указанной работе, заключается в использовании не количества циклов напрямую, а при-

менении переменного значения ресурса переключения мемристора определяемого по формуле:

$$Cyc = NumCyc (R_{off} - R_{on}) \times 2, \quad (5)$$

где Cyc – значение ресурса на текущей итерации; $NumCyc$ – количество циклов переключения. Изменение значений ресурса переключений описывается выражением:

$$Cyc(t+1) = Cyc(t) - x(V_c, t). \quad (6)$$

Указанные особенности описания мемристора позволяют добиться переменного количества циклов переключения при изменении состояния проводимости мемристора в зависимости от порогов переключений в высокорезистивное и низкорезистивное состояния, а также, в зависимости от разбросов параметров низкорезистивного и высокорезистивного состояний при переключении.

ОПИСАНИЕ НА ЯЗЫКЕ VERILOG-A И ВЕРИФИКАЦИЯ МОДЕЛИ

Алгоритм моделирования изменения состояний проводимости мемристора включает следующие основные блоки: блок первого шага моделирования, блок ветвления для абсолютных значений напряжений превышающих абсолютные значения порогов переключений, блок обработки сигнала ниже порога стирания (**RESET**), блок обработки сигнала выше порога записи (**SET**) и блок

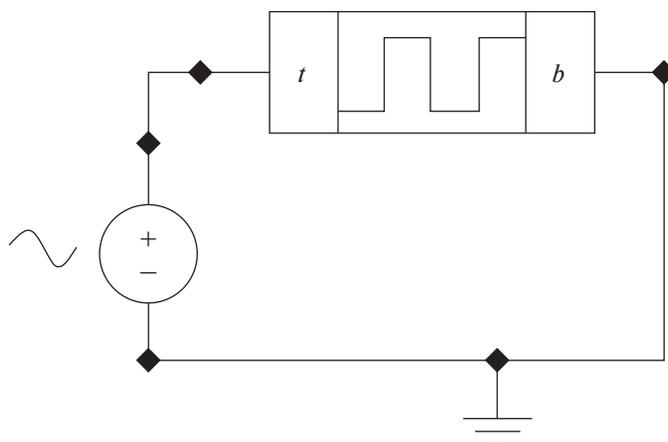


Рис. 3. Схема моделирования в САПР Cadence.

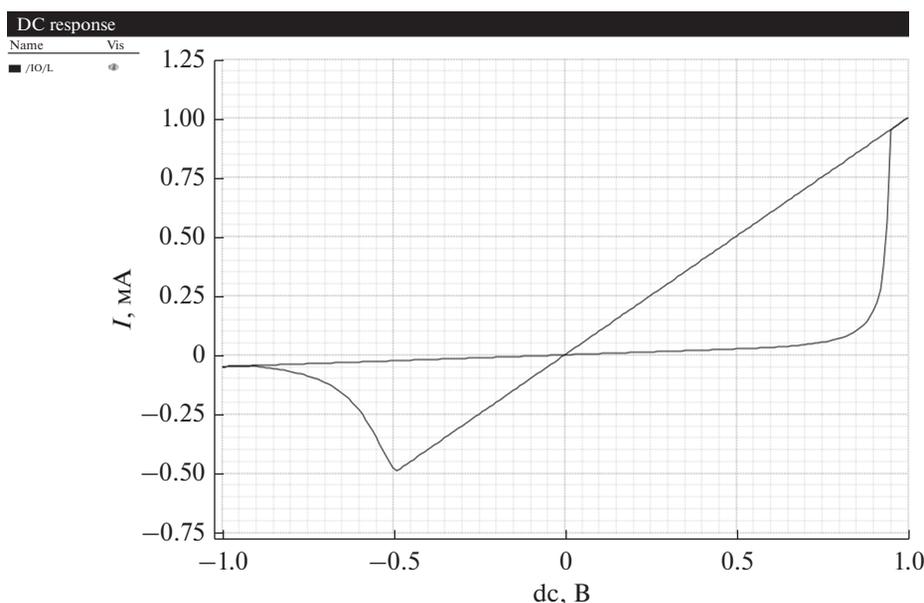


Рис. 4. Идеальная ВАХ биполярного мемристора. $V_{set} = 0.5 \text{ В}$; $\Delta V_{set} = \pm 0.01 \text{ В}$, $V_{reset} = -0.5 \text{ В}$; $\Delta V_{reset} = \pm 0.01 \text{ В}$, $R_{on} = 1 \text{ кОм}$; $\Delta R_{on} = \pm 1 \text{ Ом}$, $R_{off} = 20 \text{ кОм}$; $\Delta R_{off} = \pm 1 \text{ Ом}$.

работы мемристора в режиме считывания. Listing кода мемристивного компонента представлен в приложении. Схема работы алгоритма представлена на рис. 2.

Блок первого шага моделирования включает операторы присвоения начальных значений переменным, используемым в процессе моделирования. S_{uc} – переменная ресурса переключения. R_{Ron} , R_{Roff} – текущие значения с учетом разброса LRS и HRS соответственно. R_{Von} , R_{Voff} – значения порогов переключения с учетом разброса. Блок ветвления использует составные логические условия для переключения между режимами SET, RESET и считывания. Условия ветвления включают конъюнкцию следующих условий: значение ресурса переключения больше нуля, абсо-

лютное значение напряжения превышает абсолютное значение одного из порогов и текущее значение сопротивления лежит в диапазонах текущих с учетом разброса значений HRS и LRS. Блок работы мемристора в режиме считывания включает перезадавание значений переменных порогов переключения, значений HRS и LRS в задаваемых моделью в программируемых диапазонах. Для вычисления текущего значения сопротивления при переключениях в HRS и LRS используются функции dF_x и dFr_x соответственно. Изменение значения переменной ресурса переключения выполняется также специализированными функциями dFC и $dFrC$.

Верификация модели биполярного мемристора на языке Verilog-A выполнялась в среде

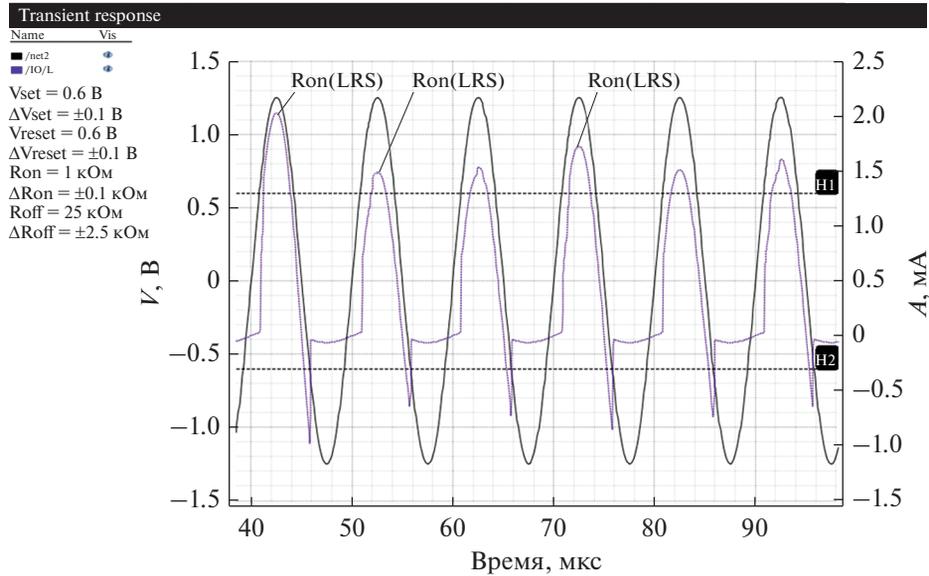


Рис. 5. Девиация параметра LRS. Выходной ток – синяя линия. Подаваемое на вход напряжение – черная линия.

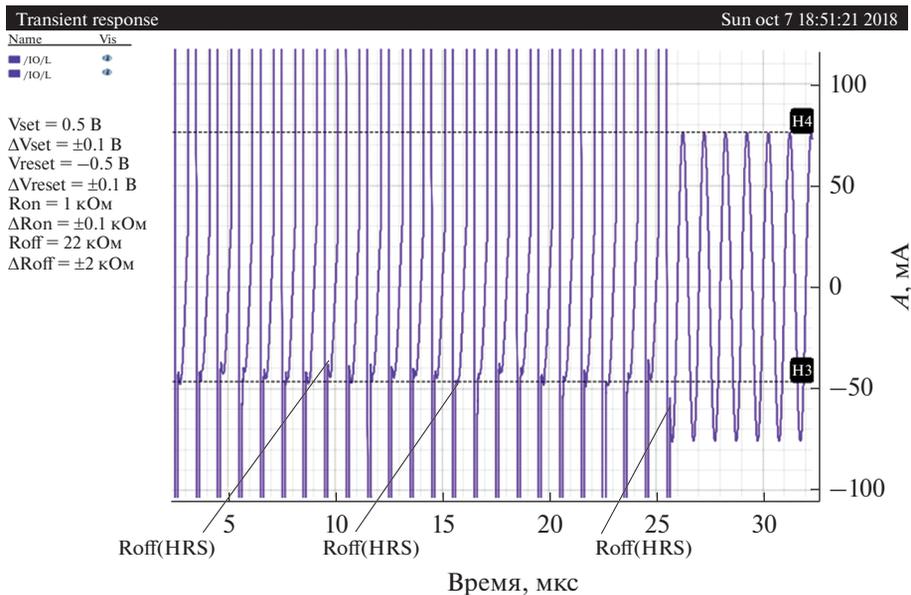


Рис. 6. Девиация параметра HRS. Выходной ток – синяя линия.

САПР Cadence. Схема моделирования представлена на рис. 3. Идеальный гистерезис ВАХ мемристора может быть получен уменьшением разброса параметров порогов переключения и снижением разбросов HRS и LRS. Данные моделирования идеальной ВАХ гистерезиса представлены на рис. 4. Девиации параметров мемристора при переключении между LRS и HRS представлены на рис. 5 и рис. 6 соответственно. Применение переменной ресурса переключения позволяет моделировать различные типы отказов мемристоров. Первый

тип – отказ в LRS состоянии (рис. 7), второй – отказ в HRS (рис. 8). Получение множественности состояний проводимости на мемристорах достигается либо ограничением импульсов по току, либо ограничением импульсов по напряжению [31]. В рамках данной работы проводилось определение, для предлагаемого Verilog-A описания мемристора, наиболее выгодной стратегии переключения при ограничении импульсов по напряжению и длительности. График получаемых промежуточных состояний проводимости мемристора пред-

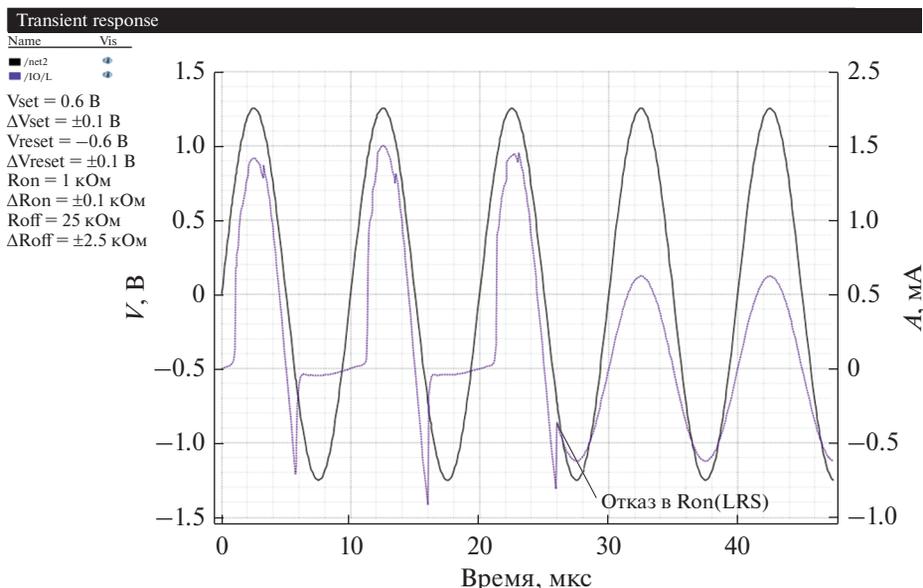


Рис. 7. Отказ в LRS. Выходной ток – синяя линия. Подаваемое на вход напряжение – черная линия.

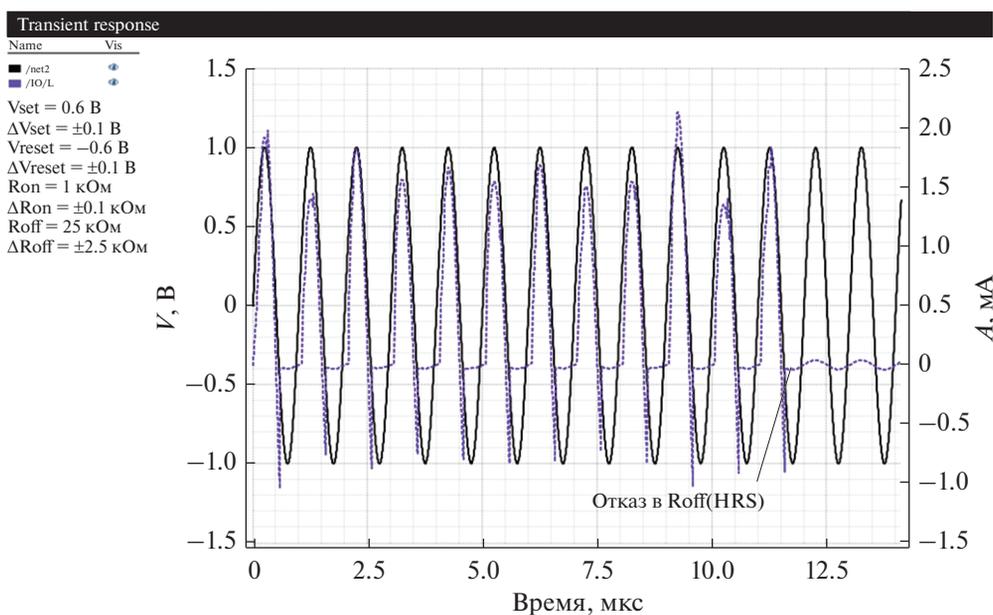


Рис. 8. Отказ в HRS. Выходной ток – синяя линия. Подаваемое на вход напряжение – черная линия.

ставлен на рис. 9. Влияние амплитуды импульса напряжений на скорость переключения рис. 10.

ЗАКЛЮЧЕНИЕ

Нами была предложена компактная модель описания биполярного мемристора на языке Verilog-A. Модельные представления позволяют учитывать в дисперсии выходного сигнала следующие девиации параметров: разбросы параметров напряжения порогов переключения между

состояниями проводимости мемристора, разбросы LRS и HRS состояний, отказы мемристора в различных состояниях проводимости. Введение переменной ресурса количества циклов переключения в модель позволяет получить разброс наработки до отказа для различных компонентов схемы. Предложенная модель для описания множественности состояний проводимости не требует отдельного описания каждого из состояний, что является ее существенным преимуществом. Из

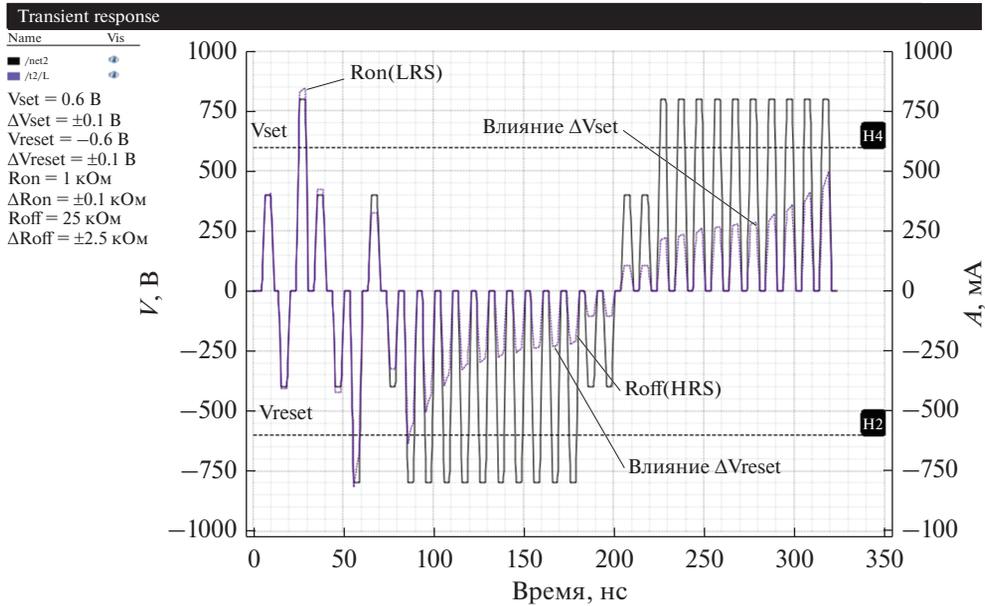


Рис. 9. Множественность состояний проводимости, достигаемых за счет подачи коротких (2 нс) малоамплитудных (0.8 В) импульсов. Выходной ток – синяя линия. Подаваемое на вход напряжение – черная линия.

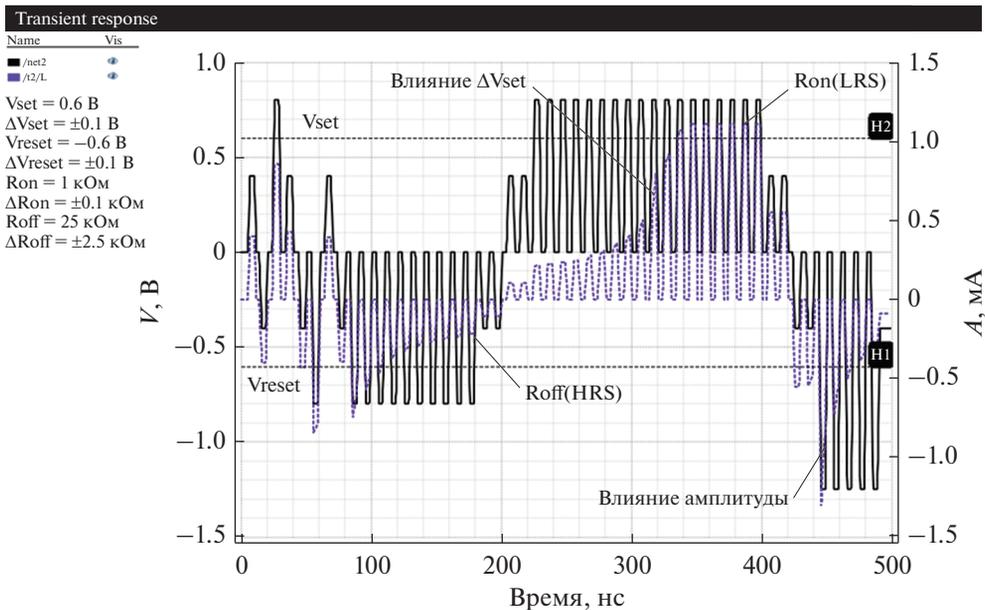


Рис. 10. Влияние амплитуды импульсов на скорость изменения проводимости. Выходной ток – синяя линия. Подаваемое на вход напряжение – черная линия.

результатов моделирования можно сделать следующие выводы:

- Для снижения дисперсии выходного сигнала мемристора наиболее перспективным является снижение разбросов состояний LRS.
- Снижение параметров разбросов порогов переключения мемристивных структур позволит

получить большее количество состояний проводимости.

- Оптимальным подходом к получению множественности состояний проводимости является метод переключения базирующийся на переключении короткими (не более 15 нс) малоамплитудными (не более 0.15 В выше порога переключения) импульсами напряжения.

Предложенная нами компактная модель может применяться при разработке схем на основе биполярных мемристоров в качестве библиотеч-

ного элемента САПР и может быть модифицирована с учетом конкретных параметров имплементируемых на производстве элементов.

Приложение, код модели на Verilog-A:

```
//VerilogA for memristors, memristorbi, veriloga
//GST – great smart technology
//Behavioral model of memristor
//Created in the JSC MERI by Department of Functional Electronics
//Author: research fellow GeorgiiSergeevitchTeplov
`include "disciplines.vams"
`include "constants.vams"
module memristorbi (t, b); //t–top electrode, b–bottom electrode
inout t, b;
    electrical t, b;
    parameter real Ron=1000.0; //Min value Ron
    parameter real Roff=25000.0; //Min value Roff
    parameter real Von=0.6; //Max value Vset threshold in integers millivolts
    parameter real Voff=-0.6; //Max value Vreset threshold in integers millivolts
    parameter real Rstart=1000; //Initial internal state
    parameter real Vgrw=0.01; //Start point of filament grow, in Volts
    parameter real Vmelt=0.01; //Start point of filament melt, in Volts
    parameter real dvsn=100; //Time switching on in volt switching scale
    parameter real dvsff=100; //Time switching off in volt switching scale
    parameter real dtsc=0.000000001; //Time switching scale
    parameter real dtsn=100; //Time switching on in time switching scale
    parameter real dtsff=100; //Time switching off in time switching scale
    parameter integer NumCyc = 100; //Cycling parameter
    parameter real DltRon=100; //Absolute deviation of Ron in integers
    parameter real DltRoff=2500; //Absolute deviation of Roff in integers
    parameter real DltVon=0.1; //Absolute deviation of Von in integers millivolts
    parameter real DltVoff=0.1; //Absolute deviation of Voff in integers millivolts
    parameter integer pseed=31; //Random core;
    real x; //Internal state
    real xdt; //Unit increment vector Set
    real xdtt; //Unit increment vector Reset
    real tx; //Time point one
    real txp1; //Time point two
    real Vx; //Voltage point one
    real Vxp1; //Voltage point two
    real Cyc; //Variable of cyclic parameter
    real RRon; //Variable of random resistance, Set
    real RRoff; //Variable of random resistance, Reset
    real RVon; //Variable of random resistance, Set
    real RVoff; //Variable of random resistance, Reset
    integer seed; //Random core variable;
    analog function real dFx; //function of Set-Reset
        input Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts;
        real Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, y1, y2;
```

```

begin //start of function
    y1 = x - (Vxp1-Vnff)/Vgm*xdt; //case first cross border
    y2 = x - (Vxp1+Vx-2*Vnff)/Vgm*0.5*(txp1-tx)/dts*xdt; //other cases
    if ((tx==0)&&(Rn<y1)) begin //branches first crossing border
dFx = y1; //Resistance change for first step
        end
        else begin if ((tx!=0)&&(Rn<y2)) begin //branches other crossing border
dFx = y2; //Resistance change for other steps
        end else begin //case last cross border
dFx = Rn; //Resistance change for final step
        end
        end //end of function
endfunction

analog function real dFrX; //function of Set-Reset
input Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts;
real Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, y1, y2;
begin //start of function
    y1 = x - (Vxp1-Vnff)/Vgm*xdt; //case first cross border
    y2 = x - (Vxp1+Vx-2*Vnff)/Vgm*0.5*(txp1-tx)/dts*xdt; //other cases
    if ((tx==0)&&(y1<Rff)) begin //branches first crossing border
dFrX = y1; //Resistance change for first step
        end
        else begin if ((tx!=0)&&(y2<Rff)) begin //branches other crossing border
dFrX = y2; //Resistance change for other steps
        end else begin //case last cross border
dFrX = Rff; //Resistance change for final step
        end
        end //end of function
endfunction

analog function real dFC; //function control of switching
input Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, Cys;
real Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, Cys, y1, y2;
begin //start of function
    y1 = x - (Vxp1-Vnff)/Vgm*xdt; //case first cross border
    y2 = x - (Vxp1+Vx-2*Vnff)/Vgm*0.5*(txp1-tx)/dts*xdt; //other cases
    if ((tx==0)&&(Rn<y1)) begin //branches first crossing border
dFC = Cys-x+y1; //Cycling parameter change for first step
        end
        else if ((tx!=0)&&(Rn<y2)) begin //branches other crossing border
dFC = Cys-x+y2; //Cycling parameter change for other step
        end else begin //case last cross border
dFC = Cys-x+Rn; //Cycling parameter for final step
        end
        end //end of function
endfunction

analog function real dFrC; //function control of switching
input Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, Cys;
real Vxp1, Vx, Vnff, tx, txp1, Vgm, x, xdt, Rn, Rff, dts, Cys, y1, y2;

```

```

begin //start of function
    y1 = x - (Vxp1-Vnff)/Vgm*xdt; //case first cross border
    y2 = x - (Vxp1+Vx-2*Vnff)/Vgm*0.5*(txp1-tx)/dts*xdt; //other cases
    if ((tx==0)&&(y1<Rff)) begin //branches first crossing border
dFrC = Cyc-y1+x; //Cycling parameter change for first step
        end
        else if ((tx!=0)&&(y2<Rff)) begin //branches other crossing border
dFrC = Cyc-y2+x; //Cycling parameter change for other step
        end else begin //case last cross border
dFrC = Cyc-Rff+x; //Cycling parameter for final step
        end
    end //end of function
endfunction
analog begin //start of description
    @ (initial_step)
    begin
        seed = pseed;
Cyc = NumCyc * (Roff-Ron) * 2;
        x = Rstart;
xdtn = (Roff-Ron) / dtsn / dvsn;
xdtff = (Roff-Ron) / dtsff / dvsff;
tx = 0;

        txp1 = 0;
Vx = 0;
        Vxp1=0;
RRon = $rdist_normal(seed, Ron, DltRon );
RRoff = $rdist_normal(seed, Roff, DltRoff);
RVon = $rdist_normal(seed, Von, DltVon );
RVoff = $rdist_normal(seed, Voff, DltVoff );
        end
        if ((Cyc>0) && (V(t,b)>RVon) && (x>RRon)) begin //Vset process
            txp1=$abstime; //Normalizing time, initializing time point two
            Vxp1=V(t,b); //Initializing the point two of voltage
            x=dFx(Vxp1, Vx, RVon, tx, txp1, Vgrw, x, xdtn, RRon, RRoff, dtsc); //Calculating resistance
Cyc = dFC(Vxp1, Vx, RVon, tx, txp1, Vgrw, x, xdtn, RRon, RRoff, dtsc, Cyc); //Calculating cycling resource
            tx=txp1; //Initializing time point one
            Vx=Vxp1; //Initializing voltage point one
        end
        else if ((Cyc>0) && (V(t,b)<RVoff) && (x<RRoff)) begin //Vreset process
            txp1=$abstime; //Normalizing time, initializing time point two
            Vxp1=V(t,b); //Initializing the point two of voltage
            x=dFrX(Vxp1, Vx, RVoff, tx, txp1, Vmlt, x, xdtff, RRon, RRoff, dtsc); //Calculating resistance
Cyc = dFrC(Vxp1, Vx, RVoff, tx, txp1, Vmlt, x, xdtff, RRon, RRoff, dtsc, Cyc); //Calculating cycling resource
            tx=txp1; //Initializing time point one
            Vx=Vxp1; //Initializing voltage point one
        end else begin
            tx=0; //Reset of point
            txp1=0; //Reset of point
            Vx=0; //Reset of point
            Vxp1=0; //Reset of point
        end
    end
end

```

```

RRon = $rdist_normal(seed, Ron, DltRon );
RROff = $rdist_normal(seed, Roff, DltRoff);
RVon = $rdist_normal(seed, Von, DltVon );
RVoff = $rdist_normal(seed, Voff, DltVoff);
end
I(t,b) <+ V(t,b) / x; //Calculating current
end //end of description
endmodule

```

СПИСОК ЛИТЕРАТУРЫ

1. Красников Г.Я., Орлов О.М. Отличительные особенности и проблемы КМОП-технологии при уменьшении проектной нормы до уровня 0.18 мкм и меньше // Российские нанотехнологии. 2008. Т. 3. № 7–8. С. 124–128.
2. Лукичев В.Ф., Шиколенко Ю.Л. Современная элементная база запоминающих устройств // Нано- и микросистемная техника 2015. № 11(184). С. 40–53.
3. Алексеева Л.Г., Иванов А.С., Лучинин В.В. Новая электронная компонентная база. Мемристор // Нано- и микросистемная техника. 2016. Т. 18. № 5. С. 297–308.
4. Chua L. Memristor – the missing circuit element // IEEE Transactions on circuit theory. 1971. V. 18. № 5. P. 507–519.
5. Strukov D.V. et al. The missing memristor found // Nature. 2008. V. 453. № 7191. P. 80.
6. Маевский О.В., Писарев А.Д., Бусыгин А.Н. и др. Логический коммутатор и запоминающее устройство на основе мемристивных ячеек для электрической принципиальной схемы нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2016. Т. 2. № 4. С. 100–111.
7. Lupo N. et al. An Approximated Verilog-A Model for Memristive Devices // Circuits and Systems (ISCAS), 2018 IEEE International Symposium on. IEEE. 2018. P. 1–5.
8. Yang Y. et al. Verilog-A based effective complementary resistive switch model for simulations and analysis // IEEE Embedded Systems Letters. 2014. V. 6. № 1. P. 12–15.
9. Wang X., Xu B., Chen L. Efficient memristor model implementation for simulation and application // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2017. V. 36. № 7. P. 1226–1230.
10. Горнев Е.С., Теплов Г.С. Математическая модель конечного автомата абстрактного нейрона и сетей на его основе // Нано- и микросистемная техника. Т. 20. № 7. 2018. С. 434–442
11. Батурич А.С., Булах К.В., Григал И.П., Горнев Е.С. и др. Эффект резистивного переключения в оксидных пленках $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ с переменным составом, выращенных методом атомно-слоевого осаждения // Нано- и микросистемная техника. 2013. № 6. С. 13–18.
12. Чуприк А.А., Батурич А.С., Горнев Е.С. Прототип мемристивной ячейки на основе МДМ структур с использованием диэлектрической пленки $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ с переменным составом // Журнал Радиоэлектроники. 2013. № 6. С. 10.
13. Орлов О.М., Маркеев А.М., Зенкевич А.В. и др. Исследование особенностей элементов энергонезависимой памяти FRAM и ReRAM, полученных с использованием метода атомно-слоевого осаждения // Электронная техника. Серия 3. Микроэлектроника. 2015. Т. 4. № 1(160). С. 62–68.
14. Benderli S., Wey T.A. On SPICE macromodeling of TiO_2 memristors // Electronics letters. 2009. V. 45. № 7. P. 377–379.
15. Emara A.A., Aboudina M.M., Fahmy H.A.H. Corrected and accurate Verilog-A for linear dopant drift model of memristors // Circuits and Systems (MWSCAS). 2014 IEEE 57th International Midwest Symposium on. IEEE. 2014. P. 499–502.
16. Biolek Z., Biolek D., Biolkova V. SPICE Model of Memristor with Nonlinear Dopant Drift // Radioengineering. 2009. V. 18. № 2.
17. Joglekar Y.N., Wolf S.J. The elusive memristor: properties of basic electrical circuits // European J. Physics. 2009. V. 30. № 4. P. 661.
18. Prodromakis T. et al. A versatile memristor model with nonlinear dopant kinetics // IEEE transactions on electronic devices. 2011. V. 58. № 9. P. 3099–3105.
19. Kvatinisky S. et al. Models of memristors for SPICE simulations // Electrical & Electronics Engineers in Israel (IEEEI), 2012 IEEE 27th Convention of. IEEE. 2012. P. 1–5.
20. Pickett M.D. et al. Switching dynamics in titanium dioxide memristive devices // J. Applied Physics. 2009. V. 106. № 7. P. 074508.
21. Kvatinisky S. et al. TEAM: Threshold adaptive memristor model // IEEE Transactions on Circuits and Systems I: Regular Papers. 2013. V. 60. № 1. P. 211–221.
22. Yakopcic C. et al. A memristor device model // IEEE Electron Device Letters. 2011. V. 32. № 10. P. 1436–1438.
23. Zeng G. et al. Polynomial Metamodel integrated Verilog-AMS for memristor-based mixed-signal system design // Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on. IEEE. 2013. P. 916–919.
24. Corinto F., Ascoli A. A boundary condition-based approach to the modeling of memristor nanostructures // IEEE Transaction on Circuits and Systems I: Regular Papers. 2012. V. 59. № 11. P. 2713–2726.
25. Kvatinisky S. et al. VTEAM: A general model for voltage-controlled memristors // IEEE Transactions on Cir-

- cuits and Systems II: Express Briefs. 2015. V. 62. № 8. P. 786–790.
26. *Garcia-Redondo F. et al.* SPICE compact modeling of bipolar/unipolar memristor switching governed by electrical thresholds // IEEE Transactions on Circuits and System I: Regular Papers. 2016. V. 63. № 8. P. 1255–1264.
27. *Garcia-Redondo F., López-Vallejo M., Barrio C.L.* Advanced integration of variability and degradation in RRAM SPICE compact models // Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), 2017 14th International Conference on IEEE. 2017. P. 1–4.
28. *Hajri B. et al.* Oxide-based RRAM models for circuit designers: A comparative analysis // Design & Technology of Integrated Systems In Nanoscale Era (DTIS), 2017 12th International Conference on. IEEE. 2017. P. 1–6.
29. *Panda D., Sahu P.P., Tseng T.Y.* A collective study on modeling and simulation of resistive random access memory // Nanoscale research letters. 2018. V. 13. № 1. P. 8.
30. *Фетисова А.И., Куртаев Р.В., Матвеев Ю.А. и др.* Наноразмерные электронные синапсы на основе HfO_2 в геометрии кросс-баров // 58 научная конференция МФТИ, 23–28 ноября. Тезисы. 2015.
31. *Bai Y. et al.* Study of multi-level characteristics for 3D vertical resistive switching memory // Scientific Reports. 2014. V. 4. P. 5780.