

ЛОГИЧЕСКИЙ С-ЭЛЕМЕНТ НА ОСНОВЕ STG DICE ТРИГГЕРА ДЛЯ АСИНХРОННЫХ ЦИФРОВЫХ УСТРОЙСТВ, УСТОЙЧИВЫХ К ВОЗДЕЙСТВИЯМ ОДИНОЧНЫХ ЯДЕРНЫХ ЧАСТИЦ

© 2019 г. Ю. В. Катунин^{1, *}, В. Я. Стенин^{1, 2, **}

¹НИИ системных исследований Российской академии наук
Нахимовский проспект, 36, к. 1, Москва, 117218 Россия

²Национальный исследовательский ядерный университет “МИФИ”
Каширское шоссе, 31, Москва, 115409 Россия

*E-mail: yu.v.katunin@gmail.com

**E-mail: vystenin@mephi.ru

Поступила в редакцию 22.11.2018 г.

После доработки 27.11.2018 г.

Принята к публикации 27.11.2018 г.

Приводятся результаты TCAD моделирования нового КМОП-логического С-элемента. Логический элемент по объемной 65-нм КМОП технологии на основе модифицированного триггера STG DICE с пониженной задержкой переключения и двух инверторах с третьим состоянием предназначен для быстродействующих асинхронных КМОП-логических систем с повышенной помехоустойчивостью к воздействиям одиночных ядерных частиц. Транзисторы элемента разделены на две группы таким способом, что сбор заряда с трека одиночной ядерной частицы транзисторами только одной из них не может привести к сбою логического состояния триггера С-элемента в режиме передачи сигнала с входа элемента на выход. Помехоустойчивость может быть повышена разнесением двух групп транзисторов на расстояние, исключающие одновременное воздействие одиночной ядерной частицы на оба блока транзисторов. Сбор заряда с треков с линейным переносом энергии 60 МэВ см²/мг не приводит к нарушениям логической функции элемента и к сбоям при передаче С-элементом синфазных логических сигналов.

DOI: 10.1134/S0544126919030074

1. ВВЕДЕНИЕ

Двухфазная логика представляет интерес для проектирования элементов суб-100 нм цифровых СБИС с повышенной помехоустойчивостью, поскольку дает возможность разработки топологических решений с разнесением на кристалле парных взаимно чувствительных к воздействию ядерных частиц областей. Информационной составляющей являются синфазные входные сигналы, а разные входные сигналы должны блокировать элемент, чтобы не изменять состояние последующих элементов.

В общем случае логический С-элемент [1] – это элемент с двумя входами и одним выходом. Когда оба входных сигнала одинаковы, С-элемент передает их одинаковое логическое состояние на выход. Если входные сигналы не одинаковы, то С-элемент хранит последнее синфазное логическое состояние входов. С-элемент предложен [1] как часть асинхронной логики и получил развитие в методиках проектировании топологии КМОП элементов, устойчивых к одиночным эф-

фектам воздействия ядерных частиц, под названиями SERT – single-event resistant topology [2], а также как радиационно-стойкое проектирование – Radiation hardening by design (RHBD). В публикациях логический С-элемент встречается под разными названиями: keeper-less С-element (С-элемент без хранения данных) [1], tri-state inverter transmission gate [3] (инвертор с третьим состоянием), а также как Guard-Gate [4] (охранный затвор-ключ), Transition AND gate – TAG (передаточный “И” затвор-ключ) [2, 5, 6], которые отражают функциональное применение этого логического элемента.

Логический С-элемент нашел применение в комбинационной логике [6, 7] как элемент защиты от импульсов помех при воздействии одиночных ядерных частиц, поскольку увеличение площади и требования к электрической мощности для схем с С-элементами в комбинационной логике минимальны по сравнению с методами тройного резервирования.

При проектировании триггеров и триггерных систем предлагается использовать С-элементы перед триггером, между триггерами, а также для замены отдельных логических элементов в триггерах, например, в традиционных DICE (Double Interlocked Cell) триггерах [4], с целью дополнительного повышения помехоустойчивости. Так, замена двух или всех четырех комплементарных пар *N*МОП и *P*МОП транзисторов [4] в триггере DICE на С-элементы исключает сквозных токи, сохраняет время записи, но увеличивает количество транзисторов, что приводит к увеличению площади и росту динамической мощности.

Методически похожими вариантами модификации триггера DICE с меньшим количеством транзисторов являются триггеры на трехтранзисторных конверторах SERT NOR или SERT NAND [2, 7], в которых из С-элемента исключен либо один *N*МОП транзистор (это SERT NOR), либо один *P*МОП транзистор (это SERT NAND). При этом также исключаются состояния с обоими открытыми в комплементарных парах *N*МОП и *P*МОП транзисторами и, соответственно, исключаются сквозные токи. Но, несмотря на эти, казалось бы, достоинства триггеры на основе вариантов SERT не нашли широкого применения.

Вариант D-триггера DICE с повышенной помехоустойчивостью [8, 9] основан на разделении транзисторов триггера на две группы (Spaced Transistor Groups DICE – STG DICE) так, что сбор заряда с трека одиночной ядерной частицы только одной из групп транзисторов не приводит к сбою логического состояния триггера. Повысить устойчивость такого триггера можно, разнося на кристалле группы транзисторов. Это уникальное свойство, отличающее ее от стандартной топологии ячейки DICE [10], позволило повысить помехоустойчивость блоков статических кэш ОЗУ, а также регистровых файлов, используя топологии с чередованием групп транзисторов, принадлежащих разным ячейкам памяти на триггерах STG DICE. Экспериментальное исследование с использованием лазерной импульсной технологии [11] и моделирование средствами TCAD [12] показали высокую устойчивость 65-нм ОЗУ на ячейках на триггерах STG DICE к одиночным воздействиям.

В данной работе представлен новый вариант С-элемента на основе STG DICE D-триггера с повышенной помехоустойчивостью и двух инверторов с третьим состоянием.

2. КМОП С-ЭЛЕМЕНТ С РАЗДЕЛЕНИЕМ ТРАНЗИСТОРОВ ТРИГГЕРА STG DICE НА ДВЕ ГРУППЫ

2.1. Схема и особенности топологии С-элемента

Схема КМОП STG С-элемента на основе STG DICE D-триггера приведена на рис. 1. С-элемент на рис. 1 состоит из двух инверторов с третьим состоянием TRInv 1 и TRInv 2, а также триггера STG DICE из двух групп транзисторов Group 1 или Group 2. Первая группа STG DICE D-триггера (Group 1) содержит транзисторы $N_D P_A$ и $N_A P_B P_{B1} P_{B2}$. Вторая группа (Group 2) содержит транзисторы $N_B N_{B1} N_{B2} P_C$ и $N_C P_D$. Четыре элементарных триггера на *N*МОП и *P*МОП транзисторах, а именно, $N_D P_A$, $N_A P_B P_{B1} P_{B2}$, $N_B N_{B1} N_{B2} P_C$ и $N_C P_D$, образуют кольцо элементарных триггеров, на четыре узла которых ABCD записывается состояние “логический ноль” $ABCD = 0101$ или “логическая единица” $ABCD = 1010$. Инверторы с третьим высоко-резистивным состоянием по выходу TRInv 1 и TRInv 2 содержат транзисторы $N_{1,1} N_{1,2} P_{1,1} P_{1,2}$ и $N_{2,1} N_{2,2} P_{2,1} P_{2,2}$ соответственно.

На рис. 2 приведен эскиз топологии одного STG С-элемента такой конструкции, когда транзисторы двух групп расположены последовательно с минимальным технологическим зазором между ними. На основе моделирования характеристик С-элемента с такой топологией можно оценить необходимость практического увеличения расстояния между группами транзисторов одного триггера. Наиболее практичным вариантом увеличения этого расстояния без излишних затрат площади кристалла является топологическое чередование групп транзисторов соседних С-элементов. При этом расстояние между блоками одного С-элемента задается длиной одного блока смежного элемента, включающего один инвертор (TRInv 1 или TRInv 2) и одну группу транзисторов триггера STG DICE (Group 1 или Group 2).

2.2. Методика TCAD моделирования сбора заряда транзисторами С-элемента с трека одиночной ядерной частицы

Приборное моделирование КМОП транзисторов по объемной 65-нм технологии (с длиной канала 65 нм) проведено на основе 3-D TCAD моделей, представленных в работе [13]. На рис. 3 приведено изображение приборной 3-D структуры С-элемента. Набор КМОП транзисторов на рис. 3 соответствует двум инверторам с третьим состоянием TRInv 1 и TRInv 2 и двум группам Group 1 и Group 2 транзисторов триггера STG DICE на рис. 1 и рис. 2.

Тестовым воздействием в работе принят сбор транзисторами заряда с треков, проходя-

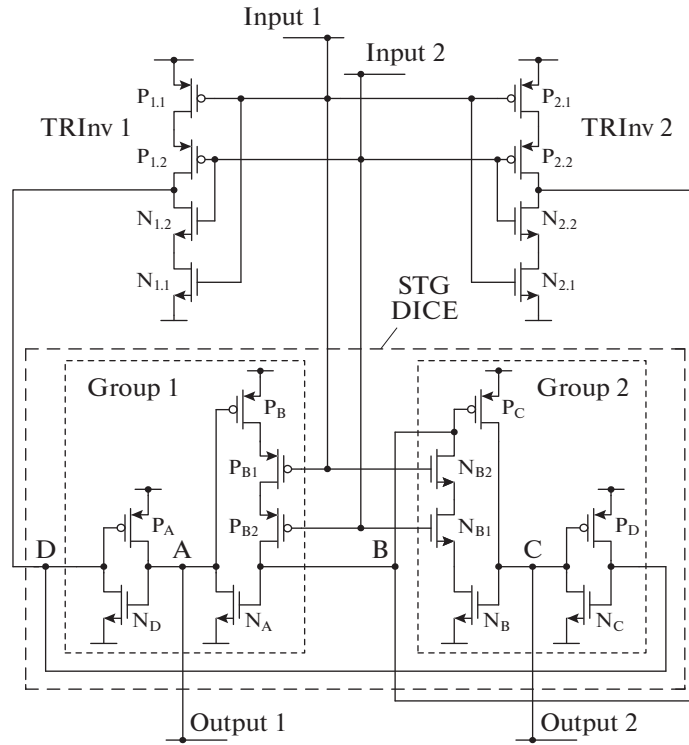


Рис. 1. Схема КМОП С-элемента, которая содержит STG DICE триггер на двух группах транзисторов Group 1 и Group 2 и два инвертора с тремя состояниями TRInv 1 и TRInv 2.

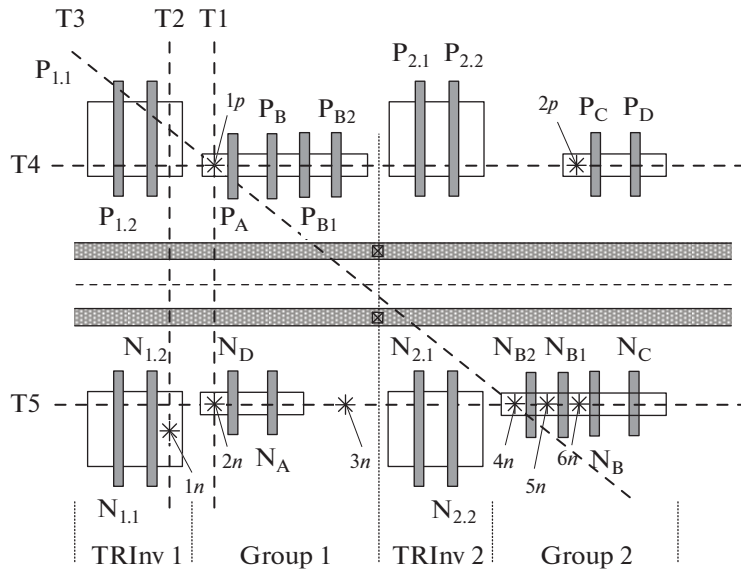


Рис. 2. Эскиз топологии С-элемента со схемой прохождения треков частиц: треки T1–T5 проходят в приборном слое на глубине 100 нм через стоковые области транзисторов; треки с точками входа $1n$ – $6n$ и $1p$, $2p$, отмеченными звездочками, направлены по нормали к поверхности кристалла.

щих в кристалле параллельно поверхности на глубине 100 нм, или направленных по нормали к поверхности приборной части структуры триггера. Длительность воздействия заряда, собираемо-

го с трека, зависит от темпа вывода заряда токами обратно смещенных стоковых pn -переходов транзисторов. Величина заряда, генерируемого на треке, зависит от потерь энергии частицей на тре-

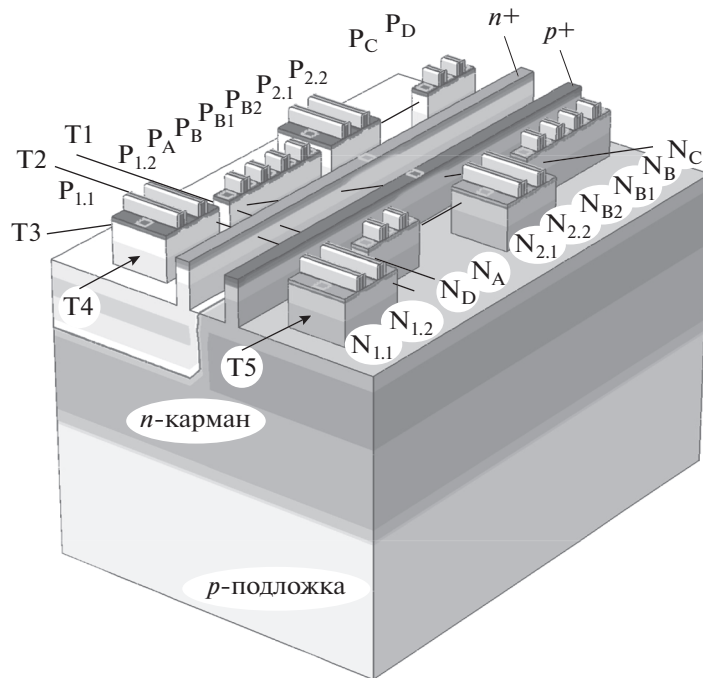


Рис. 3. Приблизительная 3-D структура модели, включающая все КМОП транзисторы С-элемента; n^+ - и p^+ -области – элементы защитных полос, изолирующих области нахождения N и P МОП транзисторов; приведены примеры треков, проходящих на глубине под областями стоков транзисторов (Т1–Т5). Для наглядности модели убрано объемное изображение областей глубокого разделительного оксида, охватывающего до глубины 400 нм активные кремниевые области транзисторов.

ке, при этом энергетическая составляющая генерации заряда характеризуется линейным переносом энергии частицей на трек [14] – (linear energy transfer – LET).

Полные размеры 3-D приборной структуры с областями, не занятыми транзисторами, 6.4×10.9 мкм при толщине подложки 3.0 мкм, расстояние между центрами стоков транзисторов N_D и N_B из разных групп было 2.35 мкм. Между областями N МОП и P МОП транзисторов логических элементов в приборной части модели (рис. 3) имеются высоколегированные n^+ - и p^+ -области, которые являются элементами защитных колец. Подложка легирована бором с концентрацией 10^{16} см^{-3} , дополнительно приборная часть легирована бором по гауссу с пиковой концентрацией $5 \times 10^{18} \text{ см}^{-3}$ на глубине 1.25 мкм и зоной легирования ± 0.4 мкм. Приборные слои легированы одинаково по гауссу с пиковой концентрацией $2 \times 10^{18} \text{ см}^{-3}$ на глубинах 0.65 мкм бором для N МОП транзисторов и мышьяком в n -кармане для P МОП транзисторов. Результаты получены в ходе 3-D TCAD моделирования с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В для КМОП структур по объемной 65-нм КМОП технологии.

3. СБОР ЗАРЯДА С ТРЕКОВ Т1 И Т2, ПРОХОДЯЩИХ В ПРИБОРНОМ СЛОЕ КРИСТАЛЛА НА ГЛУБИНЕ 100 НМ ЧЕРЕЗ СТОКОВЫЕ ОБЛАСТИ ТРАНЗИСТОРОВ ОДНОЙ ГРУППЫ

Моделировались зависимости напряжений на узлах триггера как функции времени для случая, когда трек частицы проходит в приборном слое кристалла на глубине 100 нм через стокные области транзисторов только одной группы. Линейный перенос энергии частицей на трек составил $\text{LET} = 60 \text{ МэВ см}^2/\text{мг}$. Начальное логическое состояние триггера “1” (состояние узлов ABCD = 1010), переключение триггера в состояние “0” (ABCD = 0101) происходит изменением входных сигналов на $U_{\text{BX1}} = U_{\text{BX2}} = 0$ в момент $t_{\text{ПЕР}} = 500$ пс.

3.1. Режим переключения логического состояния триггера одинаковыми входными сигналами

3.1.1. Сбор заряда с трека Т1, проходящего через транзисторы P_A и N_D одной группы транзисторов

Переходные процессы при сборе заряда с трека Т1 приведены на рис. 4 для двух случаев: на рис. 4а сбор заряда с трека начинается при $t_1 = 395$ пс за 105 пс до начала переключения элемента, а на рис. 4б сбор заряда начинается при $t_2 = 510$ пс через 10 пс после начала переключения элемен-

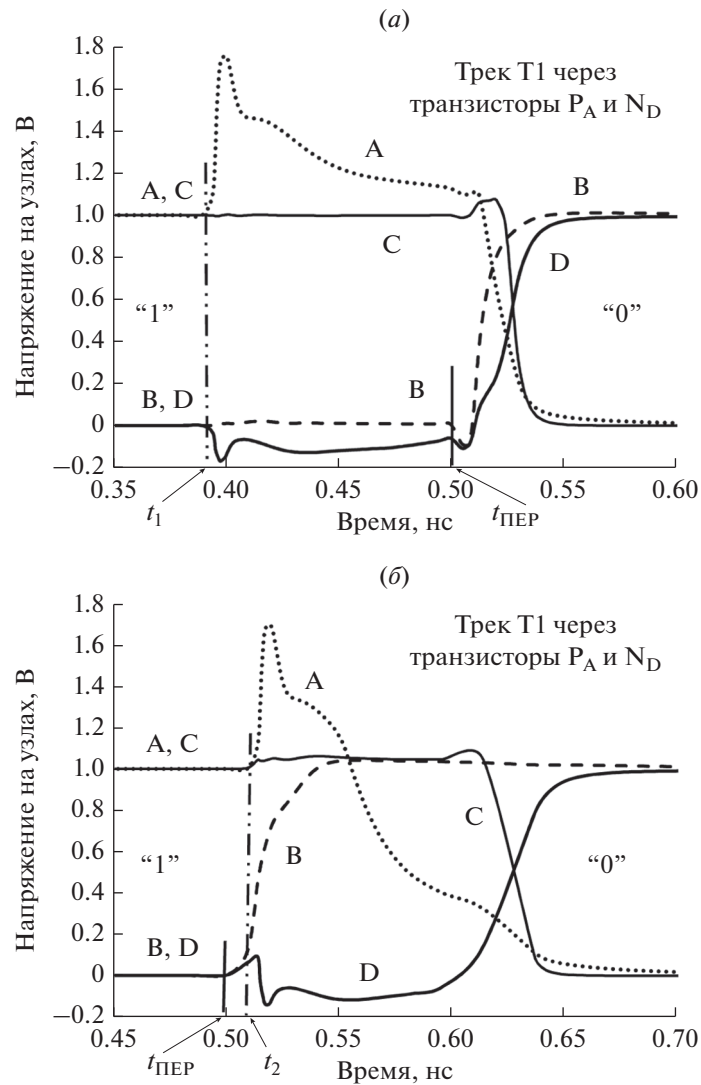


Рис. 4. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “1” (состояние узлов ABCD = 1010), трек T1 частицы с LET = 60 МэВ см²/мг проходит в приборном слое на глубине 100 нм через стоковые области транзисторов P_A и N_D одной группы транзисторов Group 1, изменение входных сигналов для переключения триггера из “1” в состояние “0” происходит при $t_{\text{ПЕР}} = 500$ пс; воздействие частицы происходит: (а) за 105 пс до начала переключения элемента при $t_1 = 395$ пс; (б) через 10 пс после начала переключения элемента при $t_2 = 510$ пс.

та при $t_{\text{ПЕР}} = 500$ пс. В первом случае сбор заряда с трека T1 происходит при состоянии триггера “1”, во втором – начало сбора заряда совпадает с началом переключения триггера в состояние “0”.

До переключения триггера из состояния “1” (рис. 4а) в состояние “0” при $t \leq t_{\text{ПЕР}} = 500$ пс транзисторы N_{1,1} и N_{1,2} инвертора TRInv 1 открыты, а P_{1,1} и P_{1,2} закрыты и напряжения на выходах обоих инверторов задают на узлах В и D напряжения $U_B = U_D = 0$. Пара транзисторов P_A и N_D, через области стоков которых проходит трек T1 (рис. 2 и 3), находятся в активном режиме смещения. Обратный смещенный стоковый рп-переход запертого транзистора P_A и вся область канала под его затвором собирает заряд с трека частицы в началь-

ный момент сбора при $t_1 = 395$ пс, что переводит транзистор P_A в инверсный режим смещения. Это приводит к увеличению напряжения на узле А до 1.75 В (рис. 4а). Одновременно транзистор N_D переходит из нормального на грань инверсного режима смещения с напряжением на узле D (на стоке N_D) $U_D = -0.2$ В относительно его истока.

При переключении входных сигналов с уровня “1” на “0” при $t_{\text{ПЕР}} = 500$ пс транзисторы N_{1,1}, N_{1,2}, N_{2,1}, N_{2,2} инверторов запираются, напряжения на узлах В и D возрастают до $U_B = U_D = 1.0$ В (рис. 4а), а напряжения на узлах А и С снижаются до $U_B = U_D = 0$.

Моделирование эффектов сбора заряда с трека T1 в состоянии триггера “1” с началом сбора че-

Таблица 1. Длительности нестационарных состояний (пс) при сборе заряда с треков Т1, Т2 и трека с точкой входа I_n при линейном переносе энергии частицей на трек 60 МэВ см²/мг

Трек	Т1			Трек 2			I_n	
	За 100 пс до переключения	Через 20 пс после переключения	Через 100 пс после переключения	За 100 пс до переключения	Через 20 пс после переключения	Через 100 пс после переключения	За 100 пс до переключения	Через 100 пс после переключения
Режим “Переключение из “1” в “0”	123	122	93	251	249	217	496	428
Режим “Хранение с переходом в передачу”	120	122	96	253	249	217	494	426

рез 10 пс после переключения элемента показало (рис. 4б), что переходный процесс изменения напряжений на узлах А и D триггера имеет такой же характер, как на рис. 4а при сборе в состоянии триггера “0”. Соответственно, механизм сбора заряда сохраняется. Значения длительностей нестационарных состояний, включающие задержки переключения триггера, даны в табл. 1.

3.1.2. Сбор заряда с трека Т2, проходящего через транзисторы $P_{1,2}$ и $N_{1,2}$ инвертора $TRInv 1$

На рис. 5 приведены зависимости напряжений на узлах триггера С-элемента как функции времени для случая, когда трек Т2 проходит через стоковые области транзисторов $P_{1,2}$ и $N_{1,2}$ первого входного инвертора $TRInv 1$. Начальное состояние триггера до переключения “1”, изменение входных сигналов для переключения триггера из состояния “1” в “0” происходит при $t_{\text{ПЕР}} = 500$ пс. Зависимости напряжений на узлах приведены для случаев, когда сбор заряда с трека Т2 начинается при $t_1 = 520$ пс через 20 пс после момента начала переключения (рис. 5а), и когда сбор заряда с трека начинается при $t_2 = 600$ пс через 100 пс после начала переключения (рис. 5б).

В исходном состоянии входных сигналов $U_{\text{ВХ1}} = U_{\text{ВХ2}} = 1$ В до момента переключения транзисторы $P_{1,2}$ и $P_{1,1}$ входного инвертора $TRInv 1$ заперты, после переключения входных сигналов на уровни $U_{\text{ВХ1}} = U_{\text{ВХ2}} = 0$ эти транзисторы отпираются, а запираются транзисторы $N_{1,2}$ и $N_{1,1}$. Таким образом, до переключения заряд с трека Т2 может выводиться через область стока транзистора $P_{1,2}$, а после переключения – через область стока транзистора $N_{1,2}$. Через 20 пс (рис. 5а) или 100 пс (рис. 5б) после начала переключения триггера, когда начинается сбор заряда стоковым обратным смещенным *pn*-переходом транзистора $N_{1,2}$, напряжение на стоке транзистора $N_{1,2}$ (и связанном с ним узле D),

возросшее до 1 В при переключении, резко снижается до 0.3 В, а затем до 0.1 В. При этом напряжения на остальных узлах А, В, С практически соответствуют уровням, которые должны быть после переключения триггера С-элемента (рис. 5а и рис. 5б).

Длительность собственно переключения (задержка переключения) триггера С-элемента составляет 20–35 пс, длительность нестационарного состояния триггера составляет 250 пс (рис. 5а) и 217 пс (рис. 5б) и практически не зависит от начала сбора заряда относительно момента переключения элемента.

3.2. Режим хранения триггером логического состояния “1” с последующим переводом триггера в режим передачи “0” при сборе заряда с трека Т1 или Т2

Проведено моделирование характеристик триггера С-элемента в режиме хранения с переходом в режим передачи, который соответствуют переключению логического состояния, описанному в предшествующем разделе 3.1, кроме того, что состояние “1” узлов триггера ABCD = 1010 на начальном этапе времени до $t_{\text{ПЕР}} = 500$ пс хранится за счет перевода обоих инверторов $TRInv 1$ и $TRInv 2$ в третье высоко-резистивное состояние по их выходам заданием разных логических уровней входных сигналов $U_{\text{ВХ1}} = 1$ В и $U_{\text{ВХ2}} = 0$.

Зависимости изменения напряжений на узлах триггера при сборе заряда с трека Т1, проходящего через транзисторы P_A и N_D , в этом режиме хранения с переходом в режим передачи сигнала на выход практически не отличаются от зависимостей, приведенных на рис. 4 для режима “Переключение из “1” в “0””. Физические эффекты при сборе заряда транзисторами P_A и N_D идентичны для этих физически схожих случаев. Соответствующие зависимости изменения напряжений на узлах триггера в режиме хранения с переходом в режим передачи сигнала на выход при сборе заряда с трека Т2, проходящего через транзисторы $P_{1,2}$

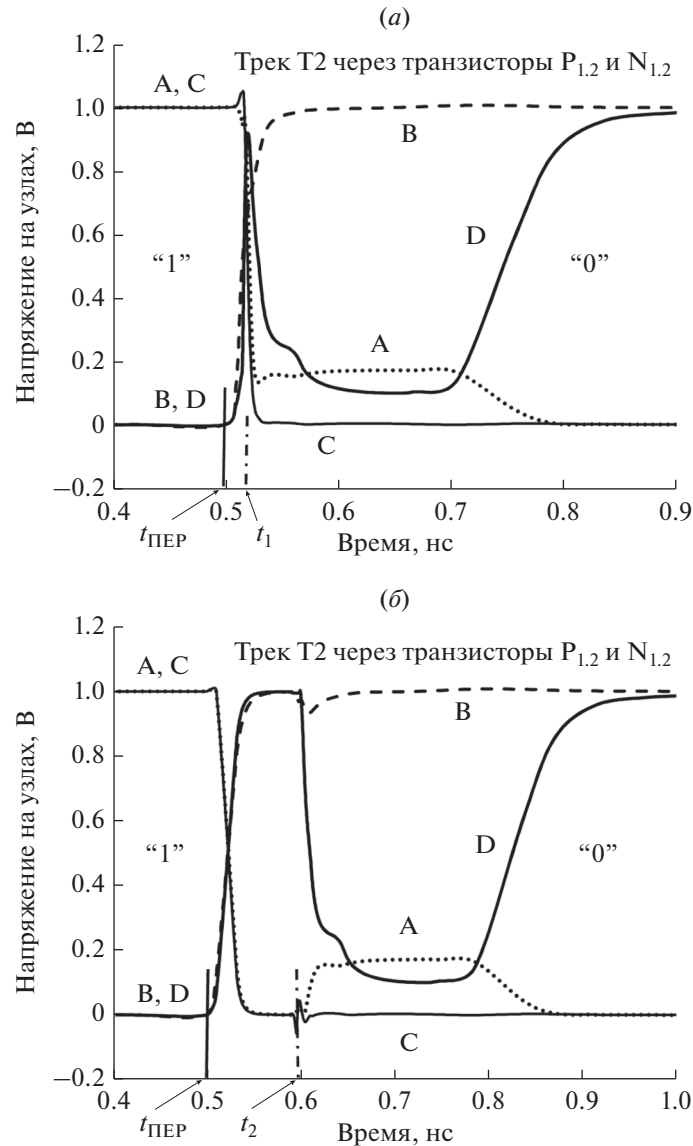


Рис. 5. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “1” (состояние узлов ABCD = 1010), трек Т2 частицы с LET = 60 МэВ см²/мг проходит в приборном слое на глубине 100 нм через стоковые области транзисторов P_{1,2} и N_{1,2} инвертора TRInv 1; изменение входных сигналов для переключения триггера из “1” в состояние “0” происходит при $t_{\text{ПЕР}} = 500$ пс; воздействие частицы происходит: (а) через 20 пс после начала переключения элемента при $t_1 = 520$ пс; (б) через 100 пс после начала переключения элемента при $t_2 = 600$ пс.

и N_{1,2} инвертора TRInv 1, также практически не отличаются от соответствующих зависимостей, приведенных на рис. 5. Эффекты сбора заряда транзисторами P_{1,2} и N_{1,2} при таком режиме идентичны случаю режима переключения.

Значения длительностей нестационарных состояний, обусловленные сбором заряда с трека Т1 и трека Т2 приведены в табл. 1 для режима “Хранение с переходом в передачу”. В сопоставлении с данными соответственно для трека Т1 и трека Т2 для режима “Переключение из “1” в “0”” временные параметры в табл. 1 для каждого из треков практически совпадают.

4. СБОР ЗАРЯДА С ТРЕКОВ Т3, Т4 И Т5, ПРОХОДЯЩИХ В ПРИБОРНОМ СЛОЕ КРИСТАЛЛА НА ГЛУБИНЕ 100 НМ ЧЕРЕЗ СТОКОВЫЕ ОБЛАСТИ ТРАНЗИСТОРОВ ДВУХ ГРУПП

4.1. Сбор заряда с трека Т3, проходящего через транзисторы P_A и N_B двух групп

4.1.1. Режим передачи одинаковых сигналов с входов элемента на выход триггера

Трек Т3 проходит в приборном слое на глубине 100 нм через стоковые области транзисторов P_A и N_{B2}, относящихся к двум группам транзисторов

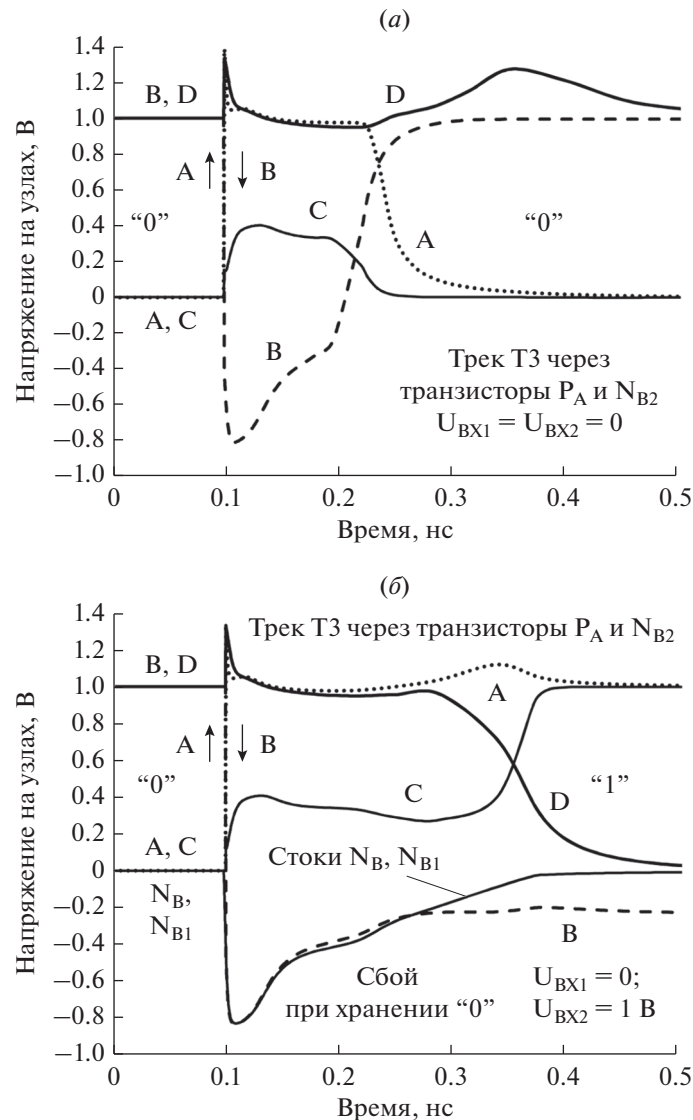


Рис. 6. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера "0" (состояние узлов ABCD = 0101), трек Т3 частицы при LET = 60 МэВ см²/мг проходит в приборном слое на глубине 100 нм через стоковые области транзисторов P_A и N_{B2} двух групп транзисторов Group 1 (транзистор P_A) и Group 2 (транзистор N_{B2}), начало сбора заряда при $t = 100$ пс, напряжения на входах инверторов элемента: (а) в режиме передачи $U_{VX1} = U_{VX2} = 0$; (б) в режиме хранения $U_{VX1} = 0$; $U_{VX2} = 1$ В.

триггера: Group 1 (P_A) и Group 2 (N_{B2}). Начальное логическое состояние триггера "0" (ABCD = 0101) в режиме передачи сигналов с входов элемента на выход при $U_{VX1} = U_{VX2} = 0$. На рис. 6а приведены зависимости напряжений на узлах триггера С-элемента во время сбора заряда при линейном переносе энергии на трек LET = 60 МэВ см²/мг. Начало сбора заряда с трека при $t = 0.1$ нс.

Практически через 5–10 пс после начала сбора заряда триггер переходит в состояние с напряжениями на узлах $U_B = -0.8$ В, $U_A = 1.0$ –1.4 В, $U_D = 1.3$ –1.4 В и $U_C = 0.2$ –0.3 В. До начала сбора заряда заперты транзистры P_A и N_{B2} и заперта це-

лая группа транзисторов N_B, N_{B1}, N_{2,1}, N_{2,2}, расположенных рядом с транзистором N_{B2} (см. рис. 2). Совместный сбор заряда этими запертыми ЛМОП транзисторами, начиная с момента 0.1 нс, переводит все транзисторы N_{2,1}, N_{2,2}, N_B, N_{B1}, N_{B2} в инверсный активный режим смещения, что резко снижает напряжение на узле В до -0.8 В. При этом сбор заряда через обратно смещенный стоковый *pn*-переход запертого транзистора P_A повышает напряжение на узле А, переводя его одновременно также в инверсный активный режим.

После активной части сбора заряда длительностью около 150 пс сбор заряда с трека практически завершается и сохраняемые на входах напря-

Таблица 2. Длительности нестационарных состояний (пс) при сборе заряда с треков Т3, Т4 и Т5 при линейном переносе энергии частицей на трек 60 МэВ см²/мг

Трек	Т3		Т4		Т5	
	“0”	“1”	“0”	“1”	“0”	“1”
Исходное логическое состояние триггера						
Режим “Передача со входов на выход”	143	175	134	241	446	117
Режим “Хранение при $U_{ВХ1} = 0, U_{ВХ2} = 1 В$ ”	259	273	134	134	257	257
	(сбой)			(сбой)	(сбой)	
Режим “Хранение при $U_{ВХ1} = 1 В, U_{ВХ2} = 0$ ”	258	305	132	134	260	257
	(сбой)			(сбой)	(сбой)	

жения в режиме передачи сигнала $U_{ВХ1} = U_{ВХ2} = 0$ восстанавливают исходные состояния узлов триггера ABCD = 0101. Длительность нестационарного состояния в режиме “Передача со входов на выход” составила 143 пс (табл. 2).

4.1.2. Режим хранения состояния триггера при сборе заряда с трека Т3

На рис. 6б приведены зависимости напряжений на узлах триггера С-элемента при сборе заряда с трека Т3 в режиме хранения, когда напряжения на входах элемента $U_{ВХ1} = 0, U_{ВХ2} = 1 В$ и исходное хранимое состояние триггера – логический ноль “0”. В этом режиме транзистор $N_{2,2}$ инвертора TRInv а открыт, поскольку $U_{ВХ2} = 1 В$, но заперты расположенные рядом (рис. 2) транзисторы $N_B, N_{B1}, N_{B2}, N_{2,1}$, которые производят основной сбор заряда с трека Т3.

В начале сбора заряда каждый из транзисторов $N_B, N_{B1}, N_{B2}, N_{2,1}, N_{2,2}$ переходит в режим инверсной активной области и триггер оказывается в состоянии с такими же напряжениями на узлах, что и в режиме передачи сигналов при $U_{ВХ1} = U_{ВХ2} = 0$ (см. рис. 6а). При этом транзистор P_C открывается, внутренний D-триггер на четырех транзисторах N_{B2}, N_{B1}, N_B и P_C переходит в состояние с нечеткой логикой узлов В и С с напряжениями $U_B = -(0.8-0.45) В$ и $U_C = 0.15-0.3 В$, которое через 250 пс завершается сбоем состояния триггера “0” и переходом его в состояние “1”.

Сбой хранимого состояния “0” связан с тем, что при напряжениях на входах $U_{ВХ1} = 0, U_{ВХ2} = 1 В$ инверторы TRInv 1 и TRInv 2 находятся в высоко-резистивных состояниях по выходам и не участвуют в восстановлении исходных состояний узлов триггера В и D после окончания нестационарного состояния узлов триггера при сборе заряда с трека Т3.

При сборе заряда с трека Т3 при начальном логическом состоянии триггера “1” (ABCD = 1010) в режиме передачи сигналов при $U_{ВХ1} = U_{ВХ2} = 1$, так в режимах “Хранение” в начальный момент сбора заряда триггер переходит в такое же со-

стояние с напряжениями на узлах $U_B = -0.8 В, U_A = 1.0-1.4 В, U_D = 1.3-1.4 В$ и $U_C = 0.2-0.3 В$, как при начальном состоянии триггера “0”. Это свидетельствует о том, что сбор заряда группой транзисторов $N_B, N_{B1}, N_{B2}, N_{2,1}$ с трека Т3 вносит основной вклад в обоих логических состояниях триггера “0” и “1”. Режимы с начальным состоянием триггера “1” характерны тем, что это состояние “1” сохраняется и нет сбоя. Длительности нестационарных состояний при сборе заряда с трека Т3 приведены в табл. 2.

4.2. Сбор заряда с трека Т4, проходящего через все РМОП транзисторы элемента, и трека Т5, проходящего через все ЛМОП транзисторы элемента

4.2.1. Режим передачи одинаковых сигналов с входов элемента на выход триггера

На рис. 7 приведены зависимости напряжений на узлах триггера С-элемента во времени при сборе заряда с трека Т4 (рис. 7а) и трека Т5 (рис. 7б) в режиме передачи “0” с входов элемента на выходы триггера. Моделировался сбор заряда для треков Т4 и Т5, которые проходят в приборном слое на глубине 100 нм через стоковые области всех РМОП транзисторов (рис. 7а) или через стоковые области всех ЛМОП транзисторов (рис. 7б). В логическом состоянии триггера “0” заперты ЛМОП транзисторы N_D, N_B, N_{B1}, N_{B2} и ЛМОП транзисторы инверторов $N_{1,1}, N_{1,2}, N_{2,1}, N_{2,2}$, а также заперты РМОП транзисторы P_A и P_C ; остальные транзисторы открыты. Через обратно смещенные *pn*-переходы этих запертых транзисторов и происходит сбор заряда с треков.

На рис. 8 приведены зависимости напряжений на узлах триггера во времени при сборе заряда в режиме передачи “1” для треков Т4 или Т5, которые проходят через стоковые области всех РМОП транзисторов (рис. 8а) или через стоковые области всех ЛМОП транзисторов (рис. 8б). В логическом состоянии триггера “1” заперты РМОП транзисторы триггера P_D, P_B, P_{B1}, P_{B2} и РМОП транзисторы инверторов $P_{1,1}, P_{1,2}, P_{2,1}, P_{2,2}$, а также

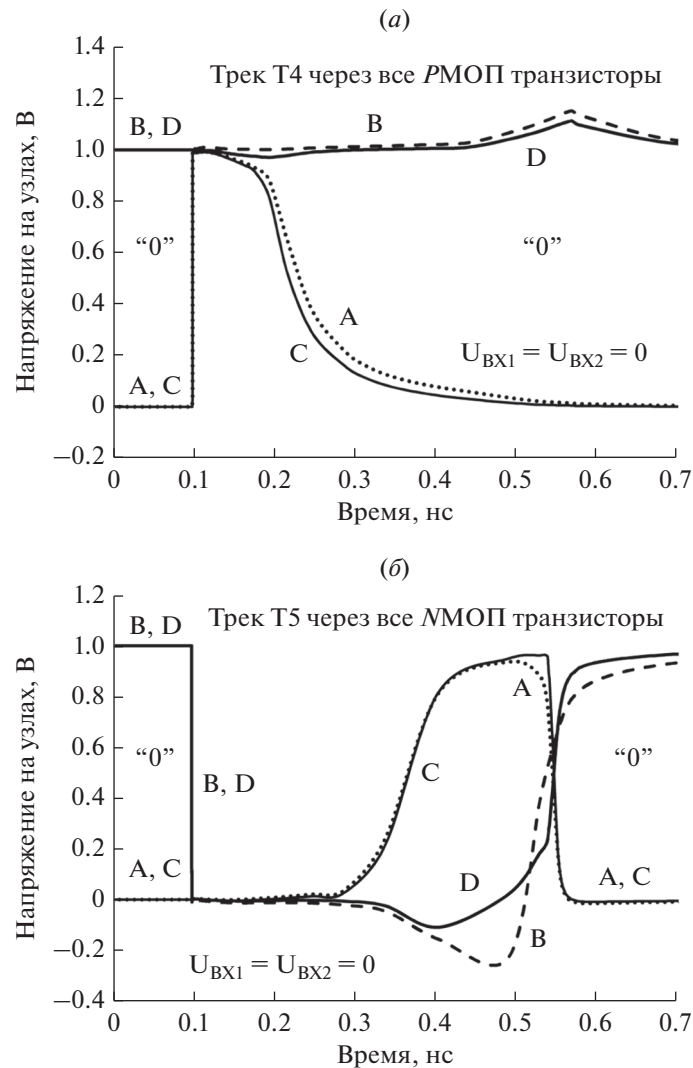


Рис. 7. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “0” (состояние узлов ABCD = 0101), напряжения на входах инверторов элемента в режиме передачи “0”: $U_{BX1} = U_{BX2} = 0$, начало сбора заряда при $t = 100$ пс, трек частицы при LET = 60 МэВ см²/мг проходит в приборном слое на глубине 100 нм через стоковые области: (а) всех РМОП транзисторов обеих групп (трек Т4); (б) всех ЛМОП транзисторов обеих групп (трек Т5).

заперты ЛМОП транзисторы N_A и N_C , остальные транзисторы открыты.

Во всех случаях передачи как “0”, так и “1” на выход элемента (рис. 7 и рис. 8) сбоев логического состояния триггера не происходит. Длительности нестационарных состояний для режима “Передача с входов на выход” приведены в табл. 2 и лежат в диапазоне 100–450 пс для треков Т4 и Т5. Отличие длительностей нестационарных состояний обусловлено тем, что, например, при сборе заряда с трека Т5 в логическом состоянии триггера “0” участвуют восемь запертых ЛМОП транзисторов (рис. 7б), а при сборе заряда с трека Т4 в том же логическом состоянии триггера “0” участвуют всего два РМОП транзистора (рис. 7а).

При передаче входных сигналов на выход триггера в состоянии “1” количество запертых собирающих заряд транзисторов меняется: собирающих заряд РМОП транзисторов становится восемь (трек Т4, рис. 8а), а собирающих заряд ЛМОП транзисторов только два (трек Т5, рис. 8б).

4.2.2. Режим хранения состояния триггера при сборе заряда с треков Т4 и Т5 при разных логических уровнях входных сигналах

Режим хранения логического состояния “0” или “1” триггером моделируется переводом инверторов TRInv 1 и TRInv 2 в третье высоко-резистивное состояние по выходам и сбором в этом режиме заряда с трека. В случае хранения логиче-

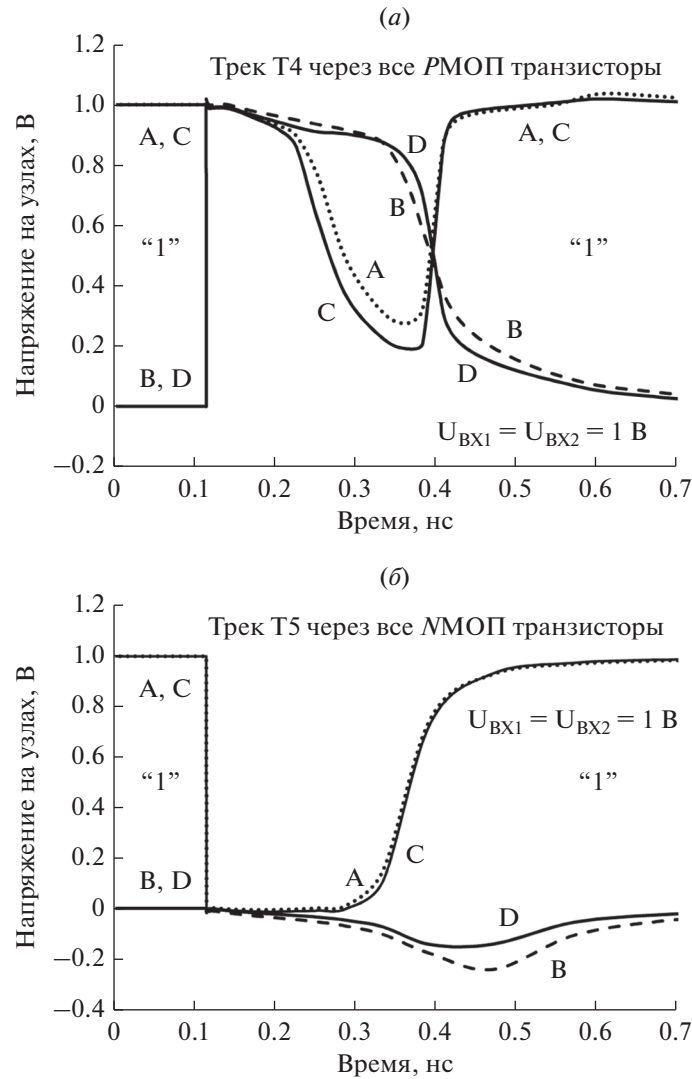


Рис. 8. Напряжения на узлах С-элемента в зависимости от времени, начальное логическое состояние триггера “1” (состояние узлов ABCD = 1010), напряжения на входах инверторов элемента в режиме передачи “1”: $U_{BX1} = U_{BX2} = 1$ В, начало сбора заряда при $t = 100$ пс, трек частицы при LET = 60 МэВ см²/мг проходит в приборном слое на глубине 100 нм через стоковые области: (а) всех РМОП транзисторов обеих групп (трек Т4); (б) всех ЛМОП транзисторов обеих групп (трек Т5).

ского состояния “1” (ABCD = 1010) в результате сбора заряда с трека Т4 обратными смещенными *pn*-переходами запертых РМОП транзисторов P_B , P_{B1} (или P_{B2}), P_D происходит сбой хранимого состояния (рис. 9а). Длительность нестационарного состояния 134 пс (табл. 2). При этом напряжение на узле В длительно поддерживается на уровне +1.25 В, что связано с установлением нечеткого логического состояния некоторых узлов внутреннего D-триггера на транзисторах N_A , P_B , P_{B1} , P_{B2} группы 1 транзисторов (Group 1).

В случае хранения логического состояния “0” (ABCD = 0101) в результате сбора заряда с трека Т5 обратными смещенными *pn*-переходами запертых ЛМОП транзисторов N_D , N_B , N_{B2} (рис. 9б)

происходит также сбой хранимого состояния. При этом напряжение на узле В длительное время поддерживается на уровне -0.3 В (рис. 9б), что связано с установлением нечеткого логического состояния внутреннего триггера на транзисторах P_C , N_B , N_{B1} , N_{B2} . Значения длительностей нестационарных состояний в режиме “Хранение” для треков Т4 и Т5 приведены в табл. 2.

5. СБОР ЗАРЯДА С ТРЕКОВ, НАПРАВЛЕННЫХ ПО НОРМАЛИ К ПОВЕРХНОСТИ КРИСТАЛЛА

Зависимости на рис. 10 иллюстрируют изменения напряжений на узлах триггера С-элемента во

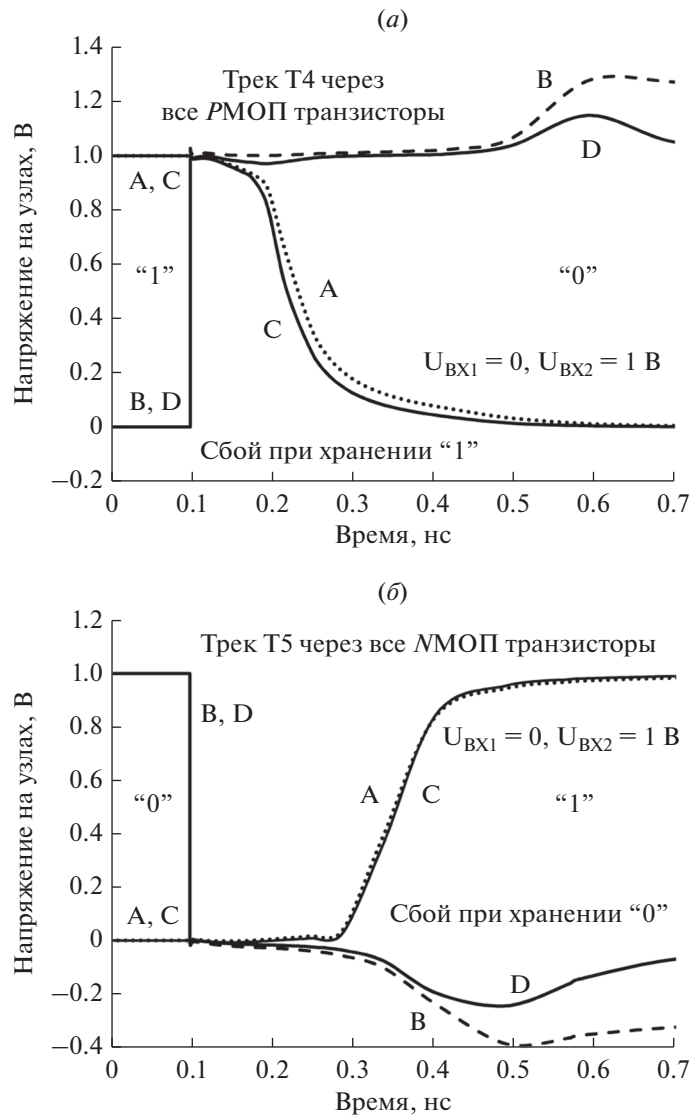


Рис. 9. Напряжения на узлах С-элемента в зависимости от времени, напряжения на входах инверторов в режиме хранения $U_{ВХ1} = 0; U_{ВХ2} = 1 В$, начало сбора заряда при $t = 100$ пс, треки частиц при LET = 60 МэВ см²/мг проходят в приборном слое на глубине 100 нм: (а) трек Т4 через все PМОП транзисторы в состоянии триггера "1" (ABCD = 1010); (б) трек Т5 через все NМОП транзисторы в состоянии триггера "0" (ABCD = 0101).

времени при сборе заряда с трека с точкой входа $4n$, который проходит через сток транзистора N_{B2} по нормали к поверхности кристалла, для режимов "Хранение "0" в триггере (рис. 10а) и "Хранение "0" с переходом в передачу "0" или "1" (рис. 10б). Линейный перенос энергии на треки LET = 60 МэВ см²/мг.

Режим "Хранение "0". Транзистор N_{B2} относится к группе транзисторов Group 2, рядом с ним расположена связанная с ним электрически (рис. 1 и рис. 2) группа NМОП транзисторов $N_{2,1}, N_{2,2}, N_{B1}, N_B$. В состоянии триггера "0" (ABCD = 0101) и при входных сигналах, обеспечивающих режим хранения, когда инверторы TRInv 1 и TRInv 2 переключены в режим высоко-резистивных выхо-

дов, транзистор $N_{2,2}$ открыт и практически не собирает заряд с трека, но транзисторы $N_{2,1}, N_B$ (рис. 2) заперты и собирают вместе с N_{B2} заряд с трека с точкой входа $4n$.

Практически в момент начала сбора заряда с трека $4n$ в режиме хранения при $t = 100$ пс каждый из NМОП транзисторов N_B, N_{B1}, N_{B2} переходят в режим смещения, соответствующий инверсной активной области, при этом транзистор P_C открывается, и этот внутренний D-триггер на четырех транзисторах N_B, N_{B1}, N_{B2}, P_C (рис. 1) переходит в состояние с нечеткой логикой ограничивающих его узлов В и С с напряжениями $U_B = -(0.15-0.35) В$ и $U_C = (0.15-0.3) В$ при $t \geq 400$ пс (рис. 10а). В ито-

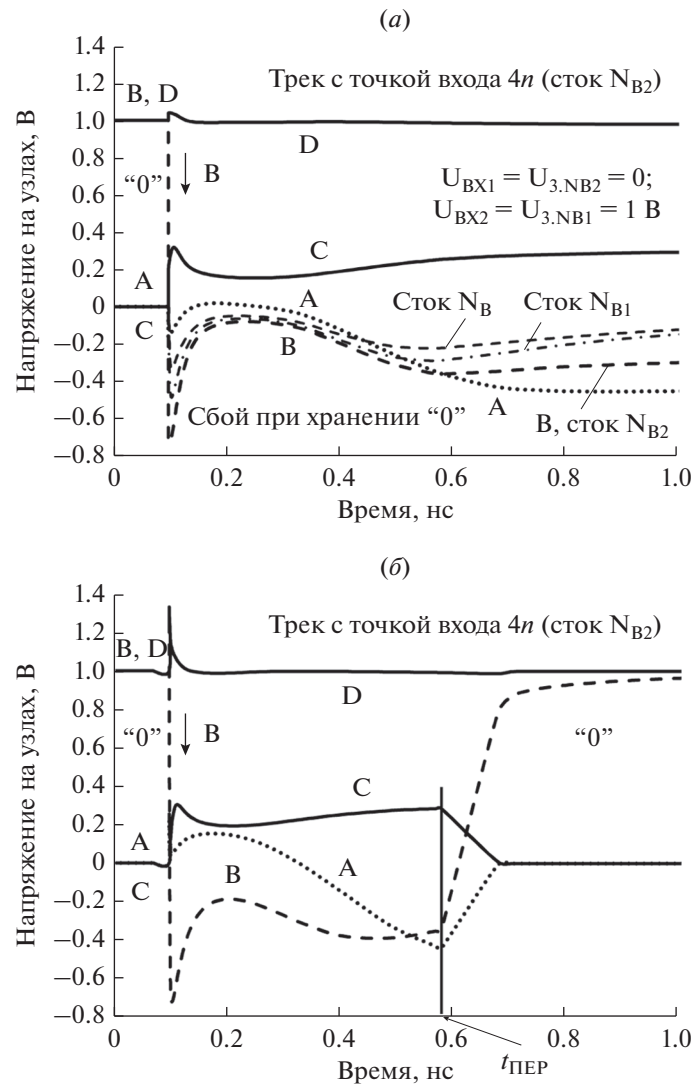


Рис. 10. Напряжения на узлах С-элемента в зависимости от времени, начальное состояние триггера “0” (ABCD = 0101), трек частицы с LET = 60 МэВ см²/мг направлен по нормали к поверхности кристалла и проходит через сток транзистора N_{B2}, начало сбора заряда при $t = 100$ пс, напряжения на входах инверторов: (а) режим хранения при $U_{BX1} = 0$; $U_{BX2} = 1$ В; (б) режим хранения при $U_{BX1} = 0$, $U_{BX2} = 1$ В при $t < t_{ПЕР} = 580$ пс, затем режим передачи “0” на выход при $U_{BX1} = U_{BX2} = 0$ при $t \geq t_{ПЕР} = 580$ пс.

ге происходит сбой хранения “0” в триггере. Причина сбоев – отключение связи узлов В и D с уровнями входных логических сигналов через инверторы TRInv 1 и TRInv 2 при нахождении их в режиме высоко-резистивных выходов.

Зависимости изменения напряжений на узлах В, С, D триггера на рис. 10а схожи в интервале сбора заряда длительностью 100–200 пс с зависимостями для этих узлов на рис. 6б при сборе заряда с трека ТЗ, проходящего через транзисторы P_A и N_{B2} двух групп Group 1 и 2, что связано со сбором заряда теми же транзисторами из группы N_{2,1}, N_B, N_{B2}. Незначительное изменение напряжения на узле А на рис. 10а обусловлено тем, что трек

с точкой входа 4n в данном случае проходит далеко от транзистора P_A, который и не собирает заряд с этого трека. Соответствующие значения длительностей нестационарных состояний приведены в табл. 3.

Хранение “0” с переходом в передачу “0” или “1”. Зависимости на рис. 10б иллюстрируют случай, когда начальный режим С-элемента “Хранение “0” в момент $t_{ПЕР} = 580$ пс переходит в режим “Передача нуля “0” на выход триггера” при переключении входных сигналов с $U_{BX1} = 0$, $U_{BX2} = 1$ В на синфазные $U_{BX1} = U_{BX2} = 0$. Сбор заряда с трека с точкой входа 4n начинается при $t = 100$ пс за 480 пс до переключения входов элемента. Осо-

Таблица 3. Длительности нестационарных состояний (пс) триггера С-элемента при сборе заряда с треков $2n-6n$, $1p$ и $2p$ при линейном переносе энергии частицей на трек $60 \text{ МэВ см}^2/\text{мг}$

Точка входа трека	$2n$	$3n$	$4n$	$5n$	$6n$	$1p$	$2p$
Режим “Передача “0” со входов на выход”	338	578	423	476	252	137	124
Режим “Хранение “0”	553 (сбой)	100 (сбой)	100 (сбой)	100 (сбой)	100 (сбой)	140	124
Режим “Хранение “0” с переходом в передачу “0”	498	491	556	519	552	140	136
Режим “Хранение “0” с переходом в передачу “1”	496	450	489	476	474	136	128

бенностью зависимостей напряжений на узлах триггера в режиме “Хранение “0” для треков с точками входов в диапазоне $3n-6n$ является то, что эти зависимости практически одинаковы при хранении в триггере “0” и совпадают с графиками на рис. 9а для трека с точкой входа $4n$ (рис. 10а).

Одинаковые зависимости характеризуют также и режим “Хранение “0” с переходом в передачу “0” или передачу “1” для треков с точками входов $3n-6n$, которые моделировались в ходе данной работы. Абсолютного совпадения нет, что отражается отклонениями значений длительностей нестационарных состояний в пределах 490–560 пс для режима с переходом в передачу “0” (табл. 3) и в пределах 450–490 пс для режима с переходом в передачу “1”. Соответствующие значения длительностей нестационарных состояний приведены в табл. 3.

Одинаковый характер зависимостей для треков с точками входа $3n-6n$ объясняется общим механизмом сбоя, приводящем к одинаковому блокированию напряжения на узле В триггера в зоне напряжений около $U_B = -0.3 \text{ В}$. Это происходит потому, что элементарная триггерная структура на транзисторах N_B , N_{B1} , N_{B2} и P_C , три из которых N_B , N_{B1} , N_{B2} собирают заряд с треков при обратном смещении их стоковых pn -переходов так, что эти транзисторы переходят в инверсный режим смещения. Это положение подтверждают значения напряжений на узлах В, А, С при $t \geq 400 \text{ пс}$, а именно, $U_B = -(0.15-0.35) \text{ В}$ и $U_C = 0.15-0.3 \text{ В}$, $U_A = -(0.1-0.45) \text{ В}$ (рис. 10а). Переход транзисторов N_B , N_{B1} , N_{B2} в инверсный активный режим смещения подтверждается и соотношением напряжений на стоках этих транзисторов на графиках рис. 10а при $t > 120 \text{ пс}$: $U_{dNB} > U_{dNB1} > U_{dNB2} > -0.35 \text{ В}$, где U_{dNB} , U_{dNB1} , U_{dNB2} — напряжения на стоках транзисторов N_B , N_{B1} , N_{B2} соответственно.

В режиме “Передача “0” со входов на выход” для треков с точками входов $2n-6n$ и $1p$, $2p$ сбоев логического состояния триггера не было. Длительности переходных процессов при сборе заряда треков $2n-6n$ находятся в пределах 250–500 пс, а для треков $1p$, $2p$ в пределах 120–140 пс (табл. 3).

6. ВЫВОДЫ ПО РЕЗУЛЬТАТАМ МОДЕЛИРОВАНИЯ

Моделирование КМОП С-элемента проводилось средствами ТСАД. Физическая имитация воздействия одиночных ядерных частиц заключалась в моделировании сбора транзисторами КМОП С-элемента заряда с двух типов треков: с треков, проходящих в приборном слое кристалла параллельно поверхности на глубине 100 нм, а также треков, направленных по нормали к поверхности кристалла с точками входов треков, проходящих через стоковые области транзисторов. Выбор таких треков, которые редки на практике, обоснован требованиями по выявлению всех проблем, которые могут возникнуть в реальных условиях при воздействии одиночных частиц.

В КМОП С-эlemente на основе STG DICE триггера с разделенными на две группы транзисторами отсутствуют сбои в режимах переключения состояния триггера, передаче синфазных входных сигналов на выход триггера при сборе заряда с треков транзисторами только одной группы.

В режиме синфазного переключения логического состояния триггера по входам С-элемента независимо от момента начала сбора заряда с трека: до, в момент переключения уровней обоих входных сигналов или после переключения уровней, всегда после окончания нестационарного состояния триггер переходит в логическое состояние, соответствующее входам.

В интервале передачи постоянного значения входного сигнала “0” или “1” на выход триггера сбор заряда с трека приводит к временному нестационарному состоянию узлов триггера, после окончания которого сохраняется (восстанавливается) исходное состояние узлов триггера.

В интервале хранения состояния триггера в режиме противофазных входных логических сигналов, когда входные инверторы с третьим состоянием переходят в высоко-резистивные состояния по выходам, возможен сбой состояния триггера, однако переключение в режим с одинаковыми уровнями входных сигналов переводит узлы триггера в логическое состояние, соответствующее входным синфазным уровням: при “0” в ABCD =

= 0101, а при “1” в ABCD = 1010 с задержкой не более 25–30 пс.

СПИСОК ЛИТЕРАТУРЫ

1. *Muller D.E., Bartky W.S.* A theory of asynchronous circuits // Proceedings of International Symposium on the theory of switching, Cambridg, M.A.: Harvard University Press, 1959. P. 204–243.
2. *Gambles J., Hass K., Whitaker S.* Radiation-hardness of ultra-low power CMOS VLSI // 11th NASA Symposium on VLSI Design, May 2003. P. 1–6.
3. *Baker R.J.* CMOS Circuit Design, Layout, and Simulation (IEEE Press Series on Microelectronic Systems). – Hoboken, New Jersey: John Wiley & Sons, Inc., 2010. P. 351.
4. *Balasubramanian A., Bhuva B.L., Black J.D., Massengill L.W.* RHBD techniques for mitigating effects of single-event hits using guard-gates // IEEE Transactions on Nuclear Science. 2005. V. 52. № 6. P. 2531–2535.
5. *Shuler R.L., Kouba C., O’Neill P.M.* SEU performance of TAG based flip-flops // IEEE Transactions on Nuclear Science. 2005. V. 52. № 6. P. 2550–2553.
6. *Shuler R.L., Balasubramanian A., Narasimham B., Bhuva B.L., O’Neill P.M., Kouba C.* The effectiveness of TAG or guard-gates in SET suppression using delay or dual-rail configurations at 0.35 μm // IEEE Transactions on Nuclear Science. 2006. V. 53. № 6. P. 3428–3431.
7. *Shuler R.L., Bhuva B.L., O’Neill P.M., Gambles J.W., Rezgui S.* Comparison of dual-rail and TMR logic cost effectiveness and suitability for FPGAs with reconfigurable SEU tolerance // IEEE Transactions on Nuclear Science. 2009. V. 56. № 1. P. 214–219.
8. *Катунин Ю.В., Стенин В.Я., Степанов П.В.* Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника. 2014. Т. 43. № 2. С. 104–117.
9. *Стенин В.Я.* Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц // Микроэлектроника. 2015. Т. 44. № 5. С. 368–379.
10. *Calin T., Nicolaidis M., Velazco R.* Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
11. *Стенин В.Я., Катунин Ю.В., Степанов П.В.* Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами // Микроэлектроника. 2016. Т. 45. № 6. С. 456–470.
12. *Катунин Ю.В., Стенин В.Я.* TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE // Микроэлектроника. 2018. Т. 47. № 1. С. 23–37.
13. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. N.Y.: Springer, 2010. P. 194–205.
14. Soft errors in modern electronic systems / Editor Nicolaidis M. N.Y.: Springer, 2011. P. 35–37.