

Управление в технических системах

© 2022 г. И.А. СОКОЛОВ, д-р техн. наук (ISokolov@ipiran.ru),
Ю.А. СТЕПЧЕНКОВ, канд. техн. наук (YStepchenkov@ipiran.ru),
Ю.В. РОЖДЕСТВЕНСКИЙ, канд. техн. наук (YRogdest@ipiran.ru),
Ю.Г. ДЬЯЧЕНКО, канд. техн. наук (diaura@mail.ru)
(Федеральный исследовательский центр
“Информатика и управление” РАН, Москва)

ПРИБЛИЖЕННАЯ ОЦЕНКА ЭФФЕКТИВНОСТИ СИНХРОННОЙ И САМОСИНХРОННОЙ МЕТОДОЛОГИЙ В ЗАДАЧАХ ПРОЕКТИРОВАНИЯ СБООУСТОЙЧИВЫХ ВЫЧИСЛИТЕЛЬНО-УПРАВЛЯЮЩИХ СИСТЕМ¹

Статья посвящена сравнительному анализу эффективности использования синхронной и самосинхронной (СС) методологий при проектировании сбоеустойчивых вычислительно-управляющих систем в базе комплементарной металл-диэлектрик-полупроводник (КМДП) технологии. Подробно рассматриваются вопросы сбоеустойчивости технических средств управления на примерах цифровых схем различного типа. Подтверждено значительное увеличение времени сбесбойной работы (в 1,2–1,8 раза) СС-схем в сравнении с синхронными аналогами. Выделены наиболее существенные особенности СС-схемотехники, обеспечивающие повышение сбоеустойчивости СС-систем. Предложены схемотехнические методы повышения сбоеустойчивости СС-систем управления, увеличивающие время сбесбойной работы комбинационных СС-схем до 4,0 раз и последовательностных СС-схем до 7,1 раза.

Ключевые слова: технические средства, сбоеустойчивость, логический сбой, синхронная схема, самосинхронная схема, парафазный сигнал, С-элемент, индикация.

DOI: 10.31857/S0005231022020088

1. Введение

Решение практических задач вычислительного типа и управления сопряжено с обработкой большого объема данных в течение длительного времени. С увеличением времени работы растет и риск логического сбоя в технических средствах вычислительно-управляющей системы из-за меняющихся условий эксплуатации и воздействия неблагоприятных факторов. Поэтому технические средства вычислительно-управляющих систем должны быть эффективно устойчивыми к логическим сбоям.

¹ Исследование финансово поддержано Министерством науки и высшего образования Российской Федерации (проект № 075-15-2020-799).

Интенсивность возникновения сбоев в цифровых схемах на несколько порядков превышает величину интенсивности возникновения отказов ($\sim 10^{-4}$ 1/ч против $\sim 10^{-7}$ 1/ч для серийно выпускаемых микропроцессорных кристаллов [1]). По мнению авторов публикации [1]: “Создание новейших технологий и методов повышения выхода годных сверх больших интегральных схем (СБИС) позволяет предполагать усугубление имеющегося разрыва и, как следствие, выделение сбоев в преобладающий фактор, определяющий надежность” цифровых схем. Повышение сбоеустойчивости вычислительных комплексов возможно за счет использования аппаратных методов контроля их работоспособности и саморемонта. Наиболее выгодной в этом отношении является самосинхронная (СС) методология [2–5].

Null Convention Logic (NCL) схемы [5] являются одним из хорошо известных подклассов СС-схем. NCL-схемы используют парафазные входы, выходы и внутренние сигналы с нулевым спейсером. Базовая библиотека ячеек для проектирования NCL-схем включает всего лишь 29 так называемых многопороговых элементов, каждый из которых индицирует все свои входы. Это свойство является “ноу-хау” NCL-методологии и упрощает проектирование нечувствительных к задержке СС-схем. К недостаткам этой методологии следует отнести значительную аппаратную избыточность и связанное с ней повышенное энергопотребление [6].

Есть и другие подходы к проблеме сбоеустойчивости технических средств вычислительно-управляющих систем [7–9]. В публикации [7] предлагается метод макро-синхронного микро-асинхронного конвейера (MSMA) с использованием устойчивой к логическим сбоям и маломощной версии асинхронной NCL-схемы. Однако это решение не является СС-схемой. В [8, 9] описан трехъядерный процессор ARM Cortex-R5 с синхронизацией шага (TCLS). Архитектура TCLS включает три центральных процессора (ЦП) и обеспечивает надежность на системном уровне. Предлагаемое решение предполагает, что “отдельные ЦП не обязательно должны быть сбоеустойчивыми и могут быть реализованы с использованием коммерческого технологического процесса” [8]. Однако все рассмотренные публикации не дают количественных оценок уровня сбоеустойчивости реальных продуктов.

Подход, предлагаемый в [2, 3], решает обозначенную проблему. Подход основывается на сбоеустойчивой СС-парадигме, позволяющей использовать широкую номенклатуру библиотечных ячеек, унарное и бифазное избыточное кодирование сигналов в дополнение к парафазному кодированию. Использование разнотипного кодирования обеспечивает разработку СС-схем, более простых по сравнению с NCL-аналогами. Сбоеустойчивая СС-методология обеспечивает сохранение работоспособности технических средств вычислительно-управляющего комплекса, построенного на этом базисе, в широком диапазоне напряжения питания и температуры окружающей среды, обнаружение и локализацию константных неисправностей, возникающих из-за неблагоприятных воздействий, в том числе радиационных факторов, повышение срока бессбойной работы.

Из-за наличия глобального тактового дерева синхронные схемы часто воспринимают логический сбой как отказ и требуют использования чрезмерной аппаратной избыточности для парирования таких сбоев. СС-схемы, благодаря изначальной аппаратной избыточности и двухфазному функционированию, способны отличить кратковременный логический сбой от отказа. Кроме того, они имеют более высокий естественный уровень сбоеустойчивости, чем их синхронные аналоги.

Цель статьи — получить приближенную оценку эффективности СС-методологии для проектирования технических средств вычислительно-управляющих систем, работающих в условиях воздействия дестабилизирующих факторов и устойчивых к кратковременным логическим сбоям.

В данной статье анализируется устойчивость цифровых схем к кратковременным логическим сбоям, длительность которых составляет от сотен пикосекунд до единиц наносекунд [10]. В комбинационных схемах они самоликвидируются, но в схемах с памятью (триггерах, регистрах) сбой может инвертировать хранимый бит информации и стать постоянным. Статья не рассматривает выносные и подменные типы логических сбоев [2], вероятность появления которых в практических СС-схемах чрезвычайно мала. Термин “сбоеустойчивость” трактуется как способность технической системы продолжить корректное функционирование без остановки с помощью маскирования логического сбоя или после некоторой задержки, связанной с ожиданием самоликвидации сбоя без порчи обрабатываемых данных.

2. Сравнение классических синхронных и СС-реализаций

Проектирование и изготовление технических средств вычислительно-управляющих систем предполагают их корректное функционирование в заданных условиях эксплуатации в течение определенного временного интервала в условиях внешней среды с оговоренным уровнем плотности сбоев. Практически всегда — это оптимизационная задача, минимизирующая критерий “риск-стоимость” при заданных ограничениях на условия эксплуатации и требуемые технические характеристики. Одним из способов достижения оптимального результата в решении этой задачи является использование СС-методологии.

Самосинхронная методология предполагает полный контроль завершения переключения всех элементов схемы, изменение состояния выходов которых было инициировано текущим набором входных данных [2]. Подтверждение завершения переключения всех активных элементов схемы является необходимым условием для начала обработки следующего набора. Этот контроль выполняется специальными индикаторными схемами, собирающими полную информацию об окончании процесса обработки набора данных. Взаимодействие СС-схем осуществляется на основе запрос-ответных отношений цифровых устройств в тракте обработки данных. Каждый функциональный СС-блок использует информацию от следующего СС-блока о его готовности к обработке новых данных и формирует сигнал о завершении своей

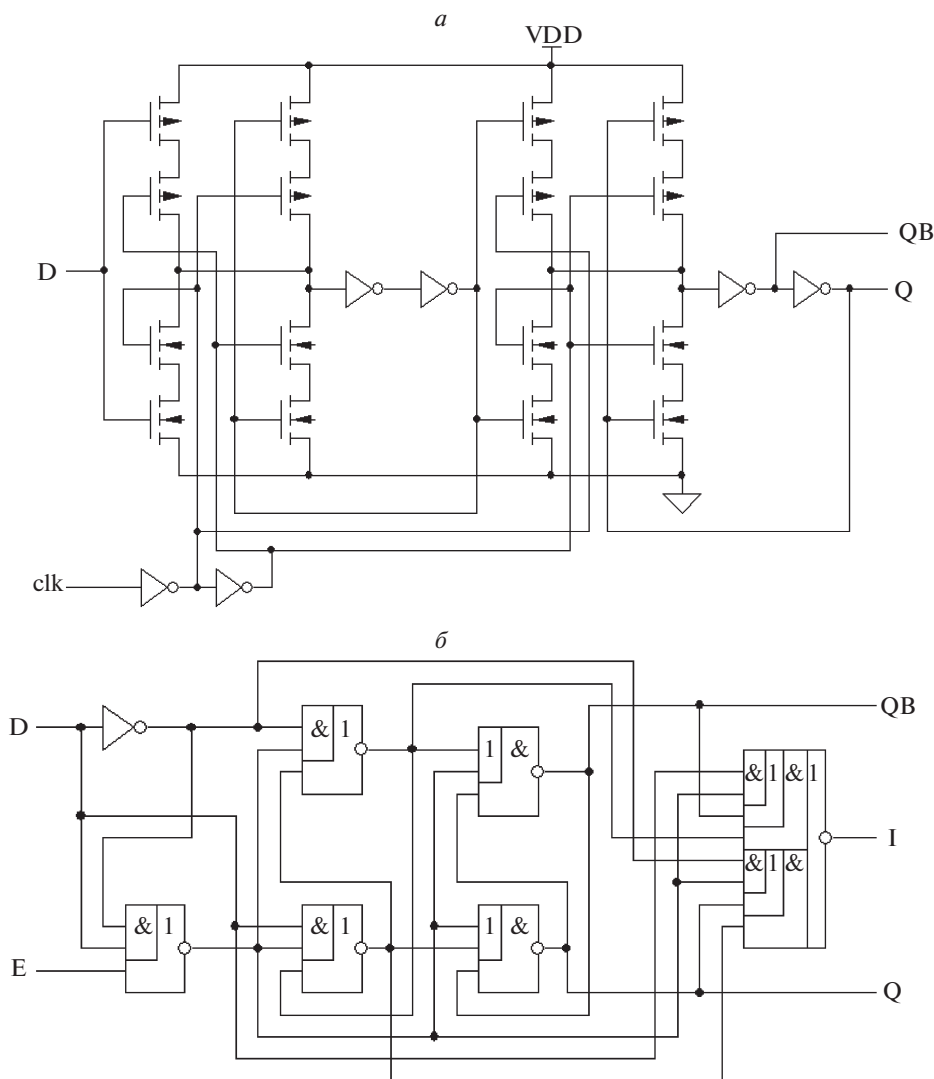


Рис. 1. D-триггер: *a* — синхронная схема на КМДП-транзисторах; *б* — СС-схема.

работы для предыдущего СС-блока. Для организации такого процесса обработки применяется специальное СС-кодирование данных [2].

Простейшим и наиболее распространенным СС-кодом является парафазный код, где информационный бит “0” представлен комбинацией “01”, информационный бит “1” — комбинацией “10”, и вводится специальное состояние — спейсер (“00” или “11”). Полный цикл работы схемы состоит из двух чередующихся фаз — рабочей и спейсерной.

Благодаря такой организации процесса обработки данных СС-схема приобретает следующие свойства, отличающие ее от синхронного аналога:

- быстродействие, определяемое только задержками элементов схемы;

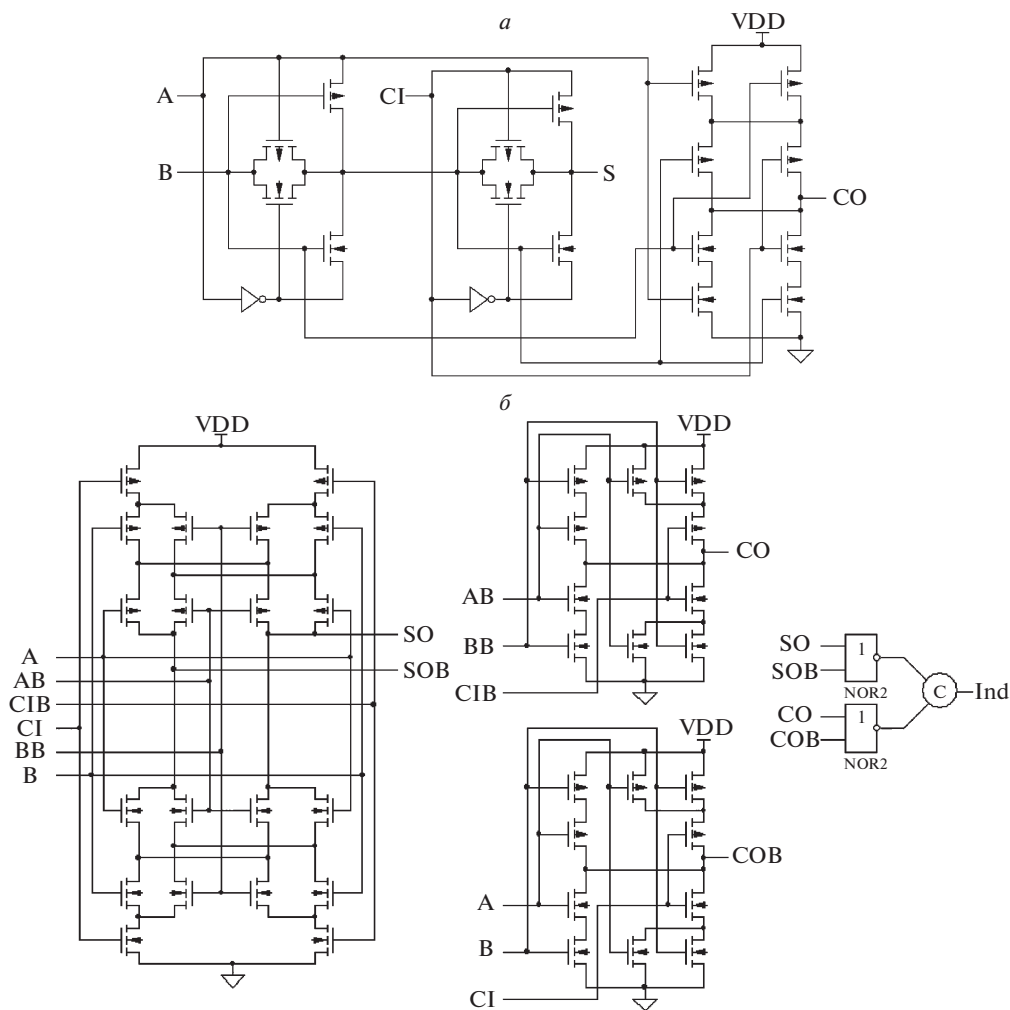


Рис. 2. Двоичный сумматор: *a* — синхронная схема; *б* — СС-схема.

- естественную стопроцентную самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям;
- безопасность работы на основе бестестовой локализации неисправностей;

- максимально возможную область эксплуатации, определяемую только физическим сохранением переключательных свойств активных элементов [3].

К недостаткам СС-схемотехники следует отнести аппаратную избыточность СС-схем по отношению к синхронным аналогам из-за избыточного кодирования сигналов и наличия индикаторной подсхемы. Сложность СС-схем оказывается больше сложности синхронных аналогов до 1,7 раза для схем с памятью и до 3,0 раза для комбинационных схем. Рисунок 1 демонстрирует примеры реализации D-триггера в синхронном (рис. 1, *a*) и СС (рис. 1, *б*) исполнении. СС-схема триггера содержит в 1,7 раза больше комплементарных

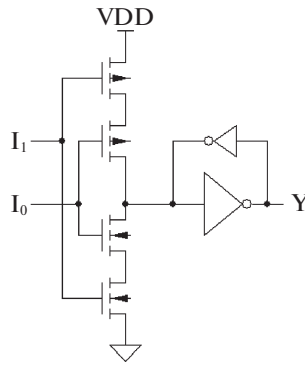


Рис. 3. Принципиальная схема С-элемента.

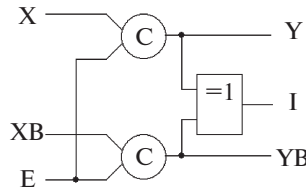


Рис. 4. Разряд СС-регистра хранения на С-элементах.

металл-диэлектрик-полупроводник (КМДП) транзисторов, чем синхронный аналог. В значительной степени это объясняется наличием в схеме индикаторного элемента, формирующего выход I .

Рисунок 2 показывает схемотехническую реализацию одноразрядного двоичного сумматора в синхронном (рис. 2,а) и СС (рис. 2,б) базисах. Схема С-элемента, формирующего индикаторный выход сумматора, представлена на рис. 3. Сложность СС-схемы сумматора в КМДП-транзисторах в 2,8 раза больше сложности синхронной реализации.

Соотношение аппаратных затрат СС и синхронного аналога зависит от типа схемы. В некоторых случаях сложность СС-схем сравнима с аппаратными затратами синхронных аналогов. Например, разряд регистра хранения в ступени СС-конвейера реализуется обычно на С-элементах (рис. 4) и имеет такую же сложность, как и синхронный вариант.

Двухфазный характер работы СС-схем и наличие индикаторной подсхемы снижают быстродействие примерно в два раза. Однако существуют методики, позволяющие приблизить быстродействие ряда СС-схем к уровню синхронных аналогов [11].

Описанные выше свойства СС-схемы обеспечивают их естественную иммунность к логическим сбоям. Исследования показали [12, 13], что за счет полноты парафазного кодирования информационных сигналов, когда состояние, противоположное спейсеру, индицируется как спейсер, двухфазной дисциплины работы и индицирования всех переключений элементов СС-схемы устойчивы к 90% однократных кратковременных логических сбоев.

Однократность подразумевает появление сбоя лишь в одном логическом элементе схемы. Схема элемента может состоять из нескольких КМДП-транзисторов. Исследования показывают, что типовой эффективный диаметр трека ядерной частицы, вызывающей логический сбой, не превышает 2–2,5 мкм [14]. В КМДП-технологии с проектными нормами 65 нм это соответствует размеру стандартного элемента. Таким образом, физическая причина логического сбоя обычно затрагивает сразу несколько транзисторов. Однако вероятность появления сбоя пропорциональна площади топологической реализации схемы, которая в свою очередь пропорциональна числу транзисторов в схеме. Поэтому оценку уровня сбоеустойчивости схемы целесообразно проводить исходя из числа транзисторов в схеме.

При заданной плотности потока случайных событий, λ_{in} , инициирующих однократные логические сбои, интенсивность сбоев (failure rate function) λ для схемы определяется как сумма интенсивностей сбоев отдельных компонентов (в данном случае — транзисторов) [15, формула (3.11)]:

$$\lambda = N \cdot \lambda_{in} \cdot \alpha,$$

где N — число транзисторов в схеме; α — вероятность сбоя при повреждении одного транзистора. Поскольку время бессбойной работы обратно пропорционально интенсивности сбоев [15, формула (3.14)], отношение времен бессбойной работы (failure-free operation time, FFOT) для СС-схемы и ее синхронного аналога будет иметь вид:

$$(1) \quad K_{FFOT} = \frac{\lambda_S}{\lambda_{ST}} = \frac{N_S \cdot \lambda_{in} \cdot \alpha_S}{N_{ST} \cdot \lambda_{in} \cdot \alpha_{ST}} = \frac{\alpha_S}{A_R \cdot \alpha_{ST}},$$

где λ_S , λ_{ST} — плотность потока сбоев синхронной и СС-схемы; N_S , N_{ST} — число транзисторов синхронной и СС-схемы; α_S , α_{ST} — вероятность сбоя при повреждении одного транзистора синхронной и СС-схемы; $A_R = N_{ST}/N_S$ — коэффициент аппаратной избыточности СС-схемы в сравнении с синхронным аналогом.

Исследования, выполненные ранее [12, 13], позволили оценить вероятность сбоя при повреждении одного транзистора синхронной и СС-схемы для комбинационных ($\alpha_S = 0,5$, $\alpha_{ST} = 0,1$) и триггерных ($\alpha_S = 0,5$, $\alpha_{ST} = 0,24$) типов схем в предположении, что сбой одного транзистора вызывает сбой логического элемента. В комбинационных схемах $A_R = 2,8$ и отношение времен бессбойной работы СС и синхронного аналогов:

$$(2) \quad K_{FFOTC1} = \frac{\alpha_S}{A_R \cdot \alpha_{ST}} = \frac{0,5}{2,8 \cdot 0,1} \approx 1,8.$$

В последовательностных схемах $A_R = 1,7$. Тогда для них:

$$(3) \quad K_{FFOTS1} = \frac{\alpha_S}{A_R \cdot \alpha_{ST}} = \frac{0,5}{1,7 \cdot 0,24} \approx 1,2.$$

Формулы (1)–(3) дают лишь приблизительную сравнительную оценку сбоеустойчивости синхронных и СС-схем. Но они наглядно демонстрируют повышение сбоеустойчивости СС-схем по сравнению с синхронными аналогами даже несмотря на их аппаратную избыточность.

3. Повышение сбоеустойчивости СС-схем

Наиболее опасный тип логического сбоя в СС-схемах при парафазном спейсером кодировании информационных сигналов — появление состояния парафазного сигнала, противоположного спейсеру. Традиционная индикация парафазного сигнала предполагает, что каждый парафазный сигнал имеет только одно спейсерное состояние (“00” или “11”) и рассматривает любое, отличное от спейсера, состояние как рабочее. Поэтому и состояние, противоположное спейсеру (антиспейсер), будет проиндицировано как рабочее, что приведет к распространению ошибки по схеме.

В [13] были предложены схемотехнические и топологические методы, предотвращающие распространение антиспейсера по СС-схеме. Антиспейсер индицируется как спейсер с помощью элемента “равнозначность” или “неравнозначность”. Такое решение маскирует антиспейсер и повышает устойчивость комбинационных СС-схем к однократным логическим сбоям до уровня 95% ($\alpha_{ST} = 0,05$).

Практические СС-схемы проектируются в виде конвейера, аналогично синхронным схемам. Традиционно регистр хранения промежуточных результатов ступени конвейера реализуется на гистерезисных триггерах [2] (С-элементах Маллера [5]), поскольку они хранят и рабочее, и спейсерное состояние. Антиспейсер на входе такого разряда регистра хранения записывается в него в рабочей фазе, но индицируется как спейсер. С точки зрения дисциплины работы СС-схемы, это не критично: индикатор регистра остается в спейсере, и регистр ожидает смены антиспейсера на входе сбойного разряда рабочим состоянием.

Однако антиспейсер внутри разряда регистра блокирует запись в разряд рабочего состояния по окончании логического сбоя, вызывая останов СС-схемы. Схемотехнические методы, предложенные в [16, 17], обеспечивают снятие этой блокировки. Они повышают сбоеустойчивость СС-регистра до уровня 95,3% ($\alpha_{ST} = 0,047$).

В результате применения специальных схемотехнических и топологических методов повышения сбоеустойчивости СС-схем отношения времени бесбойной работы СС-схем и их синхронных аналогов в формулах (2)–(3) существенно улучшаются. Для схем комбинационного типа:

$$K_{FFOTC2} = \frac{\alpha_S}{A_R \cdot \alpha_{ST}} = \frac{0,5}{2,5 \cdot 0,05} = 4,0,$$

для схем последовательностного типа:

$$K_{FFOTS2} = \frac{\alpha_S}{A_R \cdot \alpha_{ST}} = \frac{0,5}{1,5 \cdot 0,047} \approx 7,1.$$

Устойчивость индикаторной подсхемы СС-схем к логическим сбоям повышается за счет использования DICE-реализации С-элемента [18] с синфазными входами и выходом, которая маскирует логические сбои на входах и внутри С-элемента.

Таким образом, СС-схемы обладают более высокой устойчивостью к логическим сбоям и большим временем безсбойной работы по сравнению с синхронными аналогами как в минимальном, так и в сбоеустойчивом исполнении за счет более надежного маскирования одиночных логических сбоев. В качестве примера оценим преимущество реального умножителя 54×54 в СС-исполнении. Варианты синхронного умножителя [19, таблица V] имеют сложность 78 800, 81 600, 82 500 и 100 200 КМДП-транзисторов. СС-умножитель с парафазной кодировкой сигнала [20] имеет сложность 218 000 КМДП-транзисторов. Следовательно, отношение времени безотказной работы СС-умножителя и его аналогов находится в диапазоне от 3,6 до 4,6.

4. Заключение

Приближенные оценки показывают, что СС-методология проектирования технических средств вычислительно-управляющих систем обеспечивает лучшую сбоеустойчивость, чем синхронная методология. Благодаря двухфазной дисциплине работы и избыточному кодированию информационных сигналов СС-схемы иммунны к 90% логических сбоев в комбинационной части и 76% сбоев в последовательностной части. За счет этого технические средства вычислительно-управляющих систем, построенные на базе СС-методологии, несмотря на свою аппаратную избыточность, обеспечивают большее время безсбойной работы в сравнении с синхронными аналогами: в 1,8 раза в схемах комбинационного типа и в 1,2 раза в последовательностных схемах. Предложенные методы схемотехнического и топологического проектирования СС-схем увеличивают время безсбойной работы технических средств вычислительно-управляющих систем в 2,2 раза для схем комбинационного типа и до 5,8 раза для схем последовательностного типа.

Научная новизна данной статьи заключается в следующем:

- она выполняет сравнительный анализ возможностей применения синхронной и СС-методологии для построения элементной базы высоконадежных технических средств вычислительно-управляющих систем;
- она показывает, что применение СС-схемотехники обеспечивает более высокий уровень устойчивости технических средств вычислительно-управляющих систем к однократным логическим сбоям, чем синхронные аналоги, при сравнимых аппаратных затратах.

Дальнейшие направления работы связаны с исследованием аппаратных решений, использующих помехоустойчивые свойства СС-кодов и отслеживающих момент окончания логического сбоя, которые могут дать существенный выигрыш в устойчивости технических средств вычислительно-управляющих систем к однократным сбоям.

СПИСОК ЛИТЕРАТУРЫ

1. *Викторова В.С.* Анализ надежности отказоустойчивых управляющих вычислительных систем / В.С. Викторова, Н.В. Лубков, А.С. Степанянц. М.: ИПУ РАН. 2016. URL: https://www.ipu.ru/sites/default/files/card_file/VLS.pdf.

2. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent Hardware: the Theory and Practice of Self-Timed Design. N.-Y.: J. Wiley & Sons. 1994. – ISBN 978-0-471-93536-0.
3. *Zakharov V., Stepchenkov Y., Diachenko Y., Rogdestvenski Y.* Self-Timed Circuitry Retrospective // Int. Conf. Engineering Technologies and Computer Science (EnT). Moscow. Russia. 2020. P. 58–64. <https://doi.org/10.1109/EnT48576.2020.00018>.
4. *Tabassam Z., Naqvi S.R., Akram T., Alhussein M., Aurangzeb K., Haider S.A.* Towards Designing Asynchronous Microprocessors: From Specification to Tape-Out // IEEE Access. 2019. V. 7. No. 5. P. 33978–34003.
<https://doi.org/10.1109/ACCESS.2019.2903126>.
5. *Smith S.C., Jia Di.* Designing Asynchronous Circuits using NULL Convention Logic (NCL) // Synthesis Lect. on Digital Circuits and Syst. 2009. V. 4. No. 1. P. 61–73. <https://doi.org/10.2200/S00202ED1V01Y200907DCS023>.
6. *Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимонов О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П.* Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. М.: Техносфера. 2017. ISBN 978-5-94836-332-5.
URL:<https://www.technosfera.ru/lib/book/497>.
7. *Lodhi F.K., Hasan S., Hasan O., Awwad F.* Low Power Soft Error Tolerant Macro Synchronous Micro Asynchronous (MSMA) Pipeline // IEEE Computer Society Annual Sympos. on VLSI. Tampa. Florida. USA. 2014. P. 601–606.
<https://doi.org/10.1109/ISVLSI.2014.59>.
8. *Iturbe X., Venu B., Ozer E., Das S.* A Triple Core Lock-step (TCLS) ARM Cortex-R5 Processor for Safety-Critical and Ultra-Reliable Applications // 46th Annual IEEE/IFIP Int. Conf. on Dependable Syst. and Networks Workshop (DSN-W). 2016. P. 246–249. <https://doi.org/10.1109/DSN-W.2016.57>.
URL:https://www.researchgate.net/publication/309566878_A_Triple_Core_Lock-Step_TCLS_ARMR_CortexR-R5_Processor_for_Safety-Critical_and_Ultra-Reliable_Applications.
9. *Gkiokas C., Schoeberl M.A.* Fault-Tolerant Time-Predictable Processor // IEEE Nordic Circuits and Syst. Conf. (NORCAS): NORCHIP and Int. Sympos. of System-on-Chip (SoC). 2019. P. 1–6. 2019.
<https://doi.org/10.1109/NORCHIP.2019.8906947>.
URL:https://www.researchgate.net/publication/337527343_A_Fault-Tolerant_Time-Predictable_Processor.
10. *Mavis D., Eaton P.* SEU and SET Modeling and Mitigation in Deep Submicron Technologies // IEEE Int. Reliability Physics Sympos. April 15–19. 2007. Phoenix. Arizona. USA. P. 293–305. <https://doi.org/10.1109/RELPHY.2007.369907>.
11. *Рождественский Ю.В., Степченков Ю.А., Дьяченко Ю.Г., Морозов Н.В., Степченков Д.Ю., Дьяченко Д.Ю.* Метод повышения быстродействия самосинхронного умножителя // Проблемы разработки перспективных микро- и нано-электронных систем. М.: ИППМ РАН. Вып. 1. 2020. С. 82–88. ISSN 2078-7707. <https://doi.org/10.31114/2078-7707-2020-1-82-88>.
12. *Соколов И.А., Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.В.* Повышение сбоеустойчивости самосинхронных схем // Информатика и ее применения. 2020. Т. 14. № 4. С. 63–68.

13. *Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y.* Improvement of the Natural Self-Timed Circuit Tolerance to Short-Term Soft Errors // *Advances in Sci., Technology and Engineering Syst. J.* 2020. V. 5. No. 2. P. 44–56. <https://doi.org/10.25046/aj050206>.
14. *Emeliyanov V.V., Vatiev A.S., Useinov R.G.* Impact of Heavy Ion Energy on Charge Yield in Silicon Dioxide // *IEEE Trans. on Nuclear Science.* 2018. V. 65. No. 8. P. 1596–1502. <https://doi.org/10.1109/TNS.2018.2813669>.
15. *Dubrova E.* Fault-Tolerant Design. KTH Royal Institute of Technology. Krista. Sweden. 2013. Springer. <https://doi.org/10.1007/978-1-4614-2113-9>.
16. *Соколов И.А., Захаров В.Н., Степченко Ю.А., Дьяченко Ю.Г.* Устройство сбоеустойчивого разряда самосинхронного регистра хранения. Пат. РФ № 2725778. Опубл. 06.07.2020. Бюл. № 19.
17. *Соколов И.А., Захаров В.Н., Степченко Ю.А., Дьяченко Ю.Г.* Устройство сбоеустойчивого разряда самосинхронного регистра хранения. Пат. РФ № 2733263. Опубл. 01.10.2020. Бюл. № 28.
18. *Sokolov I., Stepchenkov Y., Diachenko Y., Rogdestvenski Y., Diachenko D.* Increasing Self-Timed Circuit Soft Error Tolerance // *IEEE EastWest Design & Test Sympos. (EWDTS).* Varna. Bulgaria. 2020. P. 450–454.
<https://doi.org/10.1109/EWDTS50664.2020.9224705>.
19. *Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., Mashiko K.* An 8.8 ns 54x54 Bit Multiplier with High Speed Redundant Binary Architecture // *IEEE J. of Solid-State Circuits.* 1996. V. 31. No. 6. P. 773–783.
<https://doi.org/10.1109/4.509863>.
20. *Stepchenkov Y.A., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Yu., Shikunov Y.I.* Self-Timed Multiply-Add-Subtract Unit Alternates // *IEEE Conf. of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus).* 2020. P. 1864–1868. <https://doi.org/10.1109/EIconRus49466.2020.9039039>.

Статья представлена к публикации членом редколлегии А.М. Красносельским.

Поступила в редакцию 02.08.2021

После доработки 18.09.2021

Принята к публикации 15.10.2021